



UNIVERSIDADE FEDERAL DO RIO GRANDE
CENTRO DE CIÊNCIAS COMPUTACIONAIS
PROGRAMA DE PÓS-GRADUAÇÃO EM COMPUTAÇÃO
CURSO DE MESTRADO EM ENGENHARIA DE COMPUTAÇÃO

Dissertação

Impacto da Radiação em Circuitos Sequenciais CMOS

Cristiano de Moura Borges

Dissertação apresentada ao Programa de Pós-Graduação em Computação da Universidade Federal do Rio Grande, como requisito parcial para a obtenção do grau de Mestre em Engenharia de Computação

Orientador: Prof. Dr. Paulo Francisco Butzen
Coorientador: Prof. Dr. Rafael Budim Schvittz

Rio Grande, 2024

B732i	Borges, Cristiano de Moura Impacto da radiação em circuitos sequenciais CMOS / Cristiano de Moura Borges. – 2025. 110 f. Dissertação (Mestrado) – Universidade Federal do Rio Grande – Programa de Pós-Graduação em Computação, 2025. Orientador: Dr. Paulo Francisco Butzen. Coorientador: Dr. Rafael Budim Schvitz. 1. Computação. 2. Radiação. 3. Semicondutores. 4. CMOS. I. Butzen, Paulo Francisco. II. Schvitz, Rafael Budim. III. Título. CDU 004
-------	--

Cristiano de Moura Borges

Impacto da Radiação em Circuitos Sequenciais CMOS

Dissertação apresentada ao Programa de Pós-Graduação em Computação da Universidade Federal do Rio Grande, como requisito parcial para a obtenção do grau de Mestre em Engenharia de Computação

Trabalho aprovado. Rio Grande, 28 de novembro de 2024:



Documento assinado digitalmente
EWERSON LUIZ DE SOUZA CARVALHO
Data: 24/09/2025 19:36:41-0300
Verifique em <https://validar.iti.gov.br>

Prof. Dr. Ewerson Luiz de Souza Carvalho
FURG - Universidade Federal de Rio Grande

Prof. Dr. Leomar Soares da Rosa Junior
UFPel - Universidade Federal de Pelotas
Documento assinado digitalmente



PAULO FRANCISCO BUTZEN
Data: 25/09/2025 07:43:58-0300
Verifique em <https://validar.iti.gov.br>

Prof. Dr. Paulo Francisco Butzen (Orientador)
UFRGS - Universidade Federal do Rio Grande do Sul

Agradecimentos

Agradeço aos meus pacientes e dedicados orientadores pelas horas de conversa online além das horas de apoio ao desenvolvimento deste trabalho, agradeço também por me "proibirem de desistir". Agradeço a minha esposa e filha por todo o incentivo e amor e por serem a minha razão de tudo, além de serem sempre o motivo "de me faltarem palavras". Meus pais que a bem pouco se foram e que jamais deixaram de acreditar e confiar em mim e me dar os empurrões de que eu precisava. Aos meus "patrões" Edemir Eicholz e Rodrigo Borges da Rosa pelo tempo cedido para que pudesse comparecer às aulas e me dedicar ao trabalho, não da empresa, mas do mestrado, e aos colegas dos outros trabalhos, cito Faculdade Anhanguera de Rio Grande pelo incentivo e apoio e aos do IFSul também pelo incentivo e algumas vezes orientação.

"Em algum lugar, algo incrível está esperando para ser descoberto."

Carl Sagan

Resumo

A constante redução nas dimensões dos dispositivos integrados, possibilitou avanços no desempenho de computadores uma vez que a área é um recurso limitado. O uso das nano-tecnologias é a solução para atender a essa demanda. Entretanto, com a redução das escalas (scaling), com aumento da frequência de operação e com a redução da tensão de alimentação, surge uma maior suscetibilidade dos circuitos à colisão de partículas. Este trabalho tem como objetivo a investigação da interação das partículas de radiação com os circuitos sequenciais, que podem alterar o seu funcionamento ou suas características. A investigação se dará explorando o funcionamento dos dispositivos CMOS, entendendo a tecnologia e simulando eletricamente o resultado da ação da radiação nestes circuitos. Neste trabalho é apresentada uma revisão bibliográfica contendo a estrutura e funcionamento de transistores MOS, a tecnologia CMOS e seu uso na construção dos Flip-Flops, dispositivos indispensáveis à construção da atual tecnologia computacional. Após são explorados os dispositivos sequenciais Flip-Flops, construídos a partir de inversores e, por fim, executadas simulações elétricas de falhas transientes causadas pela radiação e alguns dos efeitos ocasionados pela radiação, como atrasos e perdas de dados. Considerando que o desempenho de sistemas computacionais é ligado ao desempenho de forma encadeada de diversos dispositivos, avaliar os efeitos da ação das partículas que podem afetar o funcionamento adequado dos componentes é extremamente importante, uma vez que o acúmulo de alterações nos diversos dispositivos de um sistema causariam falhas. As informações obtidas definem a quantidade de carga coletada (Q_{coll}) para desencadear uma mudança no estado do sinal de saída, gerando uma resposta dinâmica e dependente da magnitude e do tempo de existência do pulso de corrente. Tudo isto visualizado após a aplicação da dupla exponencial, modelo matemático utilizado para as simulações. Observa-se que não há uma Q_{crit} constante, mas dependente das características do pulso de radiação e à resposta dinâmica do circuito, assim, um *soft error* será induzido quando um evento de radiação ocorre perto o suficiente de um nó sensível tal que $Q_{coll} > Q_{crit}$, ou seja, a carga coletada (Q_{coll}) é maior que a carga crítica (Q_{crit}). Por outro lado, se o evento resultar em uma $Q_{coll} < Q_{crit}$, então não haverá ocorrência de *soft error*.

Palavras-chave: radiação, semicondutores, CMOS, carga crítica, *soft error*.

Abstract

The constant reduction in the dimensions of integrated devices has enabled advances in computer performance, since space is a limited resource. The use of nanotechnology is the solution to meet this demand. However, with the reduction in scale (scaling), with an increase in operating frequency and with a reduction in supply voltage, circuits become more susceptible to particle collisions. This work aims to investigate the interaction of radiation particles with sequential circuits, which can alter their operation or characteristics. The investigation will explore the operation of CMOS devices, understanding the technology and electrically simulating the result of the action of radiation on these circuits. This work presents a bibliographic review containing the structure and operation of MOS transistors, CMOS technology and its use in the construction of Flip-Flops, devices that are essential to the construction of current computer technology. After that, the Flip-Flops sequential devices, built from inverters, are explored and, finally, electrical simulations of transient faults caused by radiation and some of the effects caused by radiation, such as delays and data loss, are performed. Considering that the performance of computer systems is linked to the chained performance of several devices, evaluating the effects of the action of particles that can affect the proper functioning of the components is extremely important, since the accumulation of changes in the various devices of a system would cause failures. The information obtained defines the amount of charge collected (Q_{coll}) to trigger a change in the state of the output signal, generating a dynamic response that depends on the magnitude and time of existence of the current pulse. All of this is visualized after applying the double exponential, a mathematical model used for the simulations. It is observed that there is no constant Q_{crit} , but rather it depends on the characteristics of the radiation pulse and the dynamic response of the circuit. Thus, a *soft error* will be induced when a radiation event occurs close enough to a sensitive node such that $Q_{\text{coll}} > Q_{\text{crit}}$ —that is, the collected charge (Q_{coll}) is greater than the critical charge (Q_{crit}). On the other hand, if the event results in a $Q_{\text{coll}} < Q_{\text{crit}}$, then there will be no *soft error* occurrence.

Keywords: radiation, semiconductors, CMOS, critical charge, *soft error*.

Lista de ilustrações

Figura 1 – Partículas, ondas, Radiação Natural e Artificial nas diversas camadas da atmosfera e no solo terrestre. (Extraído de: (PRINZIE et al., 2021))	19
Figura 2 – Estruturas Cristalinas mostradas de forma plana. (a) Ligações covalentes no cristal de Si, (b) átomo de Arsênio (As) ligando-se ao silício, formando o material n e (c) átomo de Boro (B) formando o material p. (Extraído de: (WESTE; HARRIS, 2015))	24
Figura 3 – Transistor pMOS de 4 terminais (Extraído de: (WESTE; HARRIS, 2015))	26
Figura 4 – Transistor da tecnologia CMOS. Ambos os transistores nMOS e pMOS em um único substrato. (Extraído de: (BOYLESTAD; NASHELSKY, 1984))	27
Figura 5 – Inversor CMOS. (Extraído de: (BOYLESTAD; NASHELSKY, 1984))	28
Figura 6 – Universalidade das portas NAND. (Adaptado de: (TOCCI; WIDMER; MOSS, 2010))	29
Figura 7 – Porta NAND de duas entradas. (Adaptado de: (WESTE; HARRIS, 2015))	30
Figura 8 – Porta NOR de duas entradas. (Adaptado de: (WESTE; HARRIS, 2015))	30
Figura 9 – Rede pull-up/pull-down. (Adaptado de: (WESTE; HARRIS, 2015))	31
Figura 10 – Transistores de passagem e saídas forte e degradadas. (Adaptado de: (WESTE; HARRIS, 2015))	31
Figura 11 – Porta de Transmissão (<i>transmission gate</i>). (Adaptado de: (WESTE; HARRIS, 2015))	32
Figura 12 – Mecanismos de deposito de carga durante a interação iônica. (Extraído de: (WESTE; HARRIS, 2015))	36
Figura 13 – Linha do tempo do pulso de corrente associado a colisão da partícula. (Extraído de: (WESTE; HARRIS, 2015))	36
Figura 14 – Latch D sensível ao nível alto do sinal de clock. Fonte: (WESTE; HARRIS, 2015)	40
Figura 15 – Funiconamento do Latch D sensível ao nível alto do sinal de clock. Fonte: (WESTE; HARRIS, 2015)	41
Figura 16 – Flip-Flop D sensível à borda. Fonte: (WESTE; HARRIS, 2015)	41

Figura 17 – Funcionamento do Flip-Flop D sensível a borda. Fonte: (WESTE; HARRIS, 2015))	41
Figura 18 – Formas de onda do FFDMS(+). Fonte: (WESTE; HARRIS, 2015))	42
Figura 19 – Tempos de setup, hold e clock-to-Q. Fonte: (WESTE; HARRIS, 2015))	43
Figura 20 – Representação de t_{setup} e t_{hold} . Fonte: (TOCCI; WIDMER; MOSS, 2010))	44
Figura 21 – Representação dos pontos de referência para medição de tempos e pulsos. Fonte: (TOCCI; WIDMER; MOSS, 2010))	45
Figura 22 – Resposta transitória para 5 MeV de partículas α no fenômeno de <i>funneling</i> . (Extraído de: (MESSENGER, 1982))	48
Figura 23 – Esquemático do Flip-Flop D Mestre-Escravo. Fonte: O autor . . .	51
Figura 24 – Esquemático do Flip-Flop D Mestre-escravo. Fonte: O autor . . .	52
Figura 25 – Diagrama criado pelo autor para ilustrar o efeito do sinal de entrada na sensibilidade à radiação de cada junção PN nos inversores CMOS. Fonte: O autor	52
Figura 26 – Ilustração criada pelo autor para indicar o efeito do sinal de entrada na sensibilidade à radiação de cada junção PN nas <i>transmission gates</i> . Fonte: O autor	53
Figura 27 – Validação lógica do Inversor. (Fonte: o autor)	57
Figura 28 – Resultado da simulação "101" para $I_2 = 90 \mu\text{A}$, proveniente do campo elétrico provocado pelo SET. (Fonte: O autor)	59
Figura 29 – Resultado da simulação "101" para $I_2 = 93 \mu\text{A}$. (Fonte: O autor) .	59
Figura 30 – Resultado da simulação "101" para $I_2 = 96 \mu\text{A}$. (Fonte: O autor) .	60
Figura 31 – Resultado da simulação "010" para $I_2 = 127 \mu\text{A}$. (Fonte: O autor)	60
Figura 32 – Resultado da simulação "010" para $I_2 = 130 \mu\text{A}$. (Fonte: O autor)	61
Figura 33 – Resultado da simulação "010" para $I_2 = 133 \mu\text{A}$. (Fonte: O autor)	61
Figura 34 – Esquema do FFDMS. Fonte: (o autor)	63
Figura 35 – Validação lógica do FFDMS sensível a borda de subida. (Fonte: o autor)	65
Figura 36 – Identificação com cores das formas de onda. (Fonte: o autor) . . .	66
Figura 37 – Resultado da aplicação de uma dupla exponencial de amplitude $205 \mu\text{A}$ ao nó N1 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)	67
Figura 38 – Resultado da aplicação de uma dupla exponencial de amplitude $250 \mu\text{A}$ ao nó N2 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)	68

Figura 39 – Resultado da aplicação de uma dupla exponencial de amplitude	
150 μA ao nó N3 com vetor de entrada clock=0 e dados=0. (Fonte:	
o autor)	68
Figura 40 – Resultado da aplicação de uma dupla exponencial de amplitude	
170 μA ao nó N4 com vetor de entrada clock=0 e dados=0. (Fonte:	
o autor)	69
Figura 41 – Resultado da aplicação de uma dupla exponencial de amplitude	
78,18 μA ao nó N5 com vetor de entrada clock=0 e dados=0.	
(Fonte: o autor)	70
Figura 42 – Resultado da aplicação de uma dupla exponencial de amplitude	
79 μA ao nó N4 com vetor de entrada clock=0 e dados=0. (Fonte:	
o autor)	71
Figura 43 – Resultado da aplicação de uma dupla exponencial de amplitude	
124 μA ao nó N6 com vetor de entrada clock=0 e dados=0. (Fonte:	
o autor)	71
Figura 44 – Resultado da aplicação de uma dupla exponencial de amplitude	
139,5 μA ao nó N6 com vetor de entrada clock=0 e dados=0.	
(Fonte: o autor)	72
Figura 45 – Resultado da aplicação de uma dupla exponencial de amplitude	
198 μA ao nó N7 com vetor de entrada clock=0 e dados=0. (Fonte:	
o autor)	73
Figura 46 – Resultado da aplicação de uma dupla exponencial de amplitude	
177,5 μA ao nó N8 com vetor de entrada clock=0 e dados=0.	
(Fonte: o autor)	73
Figura 47 – Resultado da aplicação de uma dupla exponencial de amplitude	
150,4 μA ao nó N8 com vetor de entrada clock=0 e dados=0.	
(Fonte: o autor)	74
Figura 48 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N1, corrente=206 μA , tempo=1100ps, formato=nhit. (Fonte:	
o autor)	75
Figura 49 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N2, corrente=205 μA , tempo=2600ps, formato=phit. (Fonte:	
o autor)	75
Figura 50 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N3, corrente=140 μA , tempo=2600ps, formato=phit. (Fonte:	
o autor)	76
Figura 51 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N4, corrente=190 μA , tempo=2600ps, formato=nhit	76

Figura 52 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N5, corrente=78,7 μA , tempo=2600ps, formato=phit. (Fonte:	
o autor)]	77
Figura 53 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N5, corrente=80,1 μA , tempo=3200ps, formato=nhit. (Fonte:	
o autor)]	77
Figura 54 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N6, corrente=124,2 μA , tempo=3200ps, formato=nhit. (Fonte:	
o autor)]	78
Figura 55 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N6, corrente=139,39 μA , tempo=2600ps, formato=nhit. (Fonte:	
o autor)]	78
Figura 56 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N7, corrente=148,5 μA , tempo=2600ps, formato=phit. (Fonte:	
o autor)]	79
Figura 57 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N8, corrente=150,5 μA , tempo=2600ps, formato=phit. (Fonte:	
o autor)]	79
Figura 58 – Aplicação da fonte de corrente dupla exponencial: VETOR=01,	
nó=N8, corrente=177,8 μA , tempo=3200ps, formato=nhit. (Fonte:	
o autor)]	80
Figura 59 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N1, corrente=156 μA , tempo=1400ps, formato=phit. (Fonte:	
o autor)]	80
Figura 60 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N2, corrente=195 μA , tempo=3800ps, formato=nhit. (Fonte:	
o autor)]	81
Figura 61 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N3, corrente=89 μA , tempo=1430ps, formato=phit. (Fonte: o	
autor)]	81
Figura 62 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N3, corrente=93 μA , tempo=3800ps, formato=nhit. (Fonte: o	
autor)]	82
Figura 63 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N4, corrente=152,85 μA , tempo=1900ps, formato=phit. (Fonte:	
o autor)]	82
Figura 64 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N4, corrente=166,4 μA , tempo=3400ps, formato=nhit. (Fonte:	
o autor)]	83

Figura 65 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N5, corrente=145 μ A, tempo=3400ps, formato=nhit. (Fonte:	
o autor)]	83
Figura 66 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N5, corrente=153 μ A, tempo=1900ps, formato=nhit. (Fonte:	
o autor)]	84
Figura 67 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N6, corrente=153 μ A, tempo=3400ps, formato=phit. (Fonte:	
o autor)]	84
Figura 68 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N6, corrente=200 μ A, tempo=3900ps, formato=nhit. (Fonte:	
o autor)]	85
Figura 69 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N7, corrente=160,81 μ A, tempo=3400ps, formato=phit. (Fonte:	
o autor)]	85
Figura 70 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N7, corrente=188 μ A, tempo=3900ps, formato=nhit. (Fonte:	
o autor)]	86
Figura 71 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N8, corrente=149 μ A, tempo=1900ps, formato=phit. (Fonte:	
o autor)]	86
Figura 72 – Aplicação da fonte de corrente dupla exponencial: VETOR=10,	
nó=N8, corrente=197 μ A, tempo=3400ps, formato=nhit. (Fonte:	
o autor)]	87
Figura 73 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N1, corrente=160 μ A, tempo=2900ps, formato=phit. (Fonte:	
o autor)]	87
Figura 74 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N2, corrente=140 μ A, tempo=2900ps, formato=phit. (Fonte:	
o autor)]	88
Figura 75 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N3, corrente=86,55 μ A, tempo=2450ps, formato=nhit. (Fonte:	
o autor)]	88
Figura 76 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N3, corrente=87,8 μ A, tempo=4900ps, formato=phit. (Fonte:	
o autor)]	89
Figura 77 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N4, corrente=168 μ A, tempo=2900ps, formato=nhit. (Fonte:	
o autor)]	89

Figura 78 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N4, corrente=150 μ A, tempo=2450ps, formato=phit. (Fonte:	
o autor)]	90
Figura 79 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N5, corrente=148 μ A, tempo=2450ps, formato=phit. (Fonte:	
o autor)]	90
Figura 80 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N5, corrente=151 μ A, tempo=2900ps, formato=nhit. (Fonte:	
o autor)]	91
Figura 81 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N6, corrente=154 μ A, tempo=2900ps, formato=phit. (Fonte:	
o autor)]	91
Figura 82 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N6, corrente=210 μ A, tempo=2450ps, formato=nhit. (Fonte:	
o autor)]	92
Figura 83 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N7, corrente=160,81 μ A, tempo=2900ps, formato=phit. (Fonte:	
o autor)]	92
Figura 84 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N7, corrente=187 μ A, tempo=2450ps, formato=nhit. (Fonte:	
o autor)]	93
Figura 85 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N8, corrente=145 μ A, tempo=2450ps, formato=phit. (Fonte:	
o autor)]	93
Figura 86 – Aplicação da fonte de corrente dupla exponencial: VETOR=11,	
nó=N8, corrente=197 μ A, tempo=2900ps, formato=nhit. (Fonte:	
o autor)]	94
Figura 87 – Figura completa dos vetores (sinais aplicados e suas derivações),	
nós e nodos sensíveis do Flip-Flop estudado.	110

Lista de abreviaturas e siglas

GHz	<i>Giga Hertz - $10^9 Hz$</i>
CPU	<i>Central Processing Unit</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
SET	<i>Single Event Transients</i>
TMR	<i>Triple Modular Redundancy</i>
ATMR	<i>Approximate Triple Modular Redundancy</i>
MOS	<i>Metal Oxide Silicon</i>
nMOS	<i>Metal Oxide Silicon tipo n</i>
pMOS	<i>Metal Oxide Silicon tipo p</i>
GND	<i>Conexão ao terra ou ponto comum</i>
MOSFET	<i>Transistor de Efeito de Campo de Semicondutor de Óxido Metálico</i>
FET	<i>Field Effect Transistor</i>
NML	<i>Noise Margin Low</i>
NMH	<i>Noise Margin High</i>
SEEs	<i>Single Event Effects</i>
SET	<i>Single Event Transient</i>
SEU	<i>Single Event Upset</i>
LET	<i>Linear Energy Transfer</i>
Q_{coll}	<i>Carga coletada</i>
Q_{crit}	<i>Carga crítica</i>
SER	<i>Soft error rate</i>
TID	<i>Total Ionizing Dose</i>
SER	<i>Soft error rate</i>

LET_{th}	<i>Linear Energy Transfer Threshold</i>
HP	<i>High Performance</i>
V_{th}	<i>Threshold Voltage</i>
ASU	<i>Arizona State University</i>
VLSI	<i>Very-Large-Scale Integration</i>
DICE	<i>dual interlocked cell</i>
TMR	<i>Triple Modular Redundancy</i>

Sumário

1	INTRODUÇÃO	18
1.1	Objetivos	20
1.1.1	Objetivos Estratégicos	21
1.1.2	Objetivos Específicos	21
1.2	Motivação	21
1.3	Organização do Documento	23
2	FUNDAMENTAÇÃO TEÓRICA	24
2.1	Tecnologia CMOS	24
2.1.1	Transistor MOS	24
2.1.2	O Inversor CMOS	27
2.1.3	Portas Universais	29
2.1.4	Portas Compostas	30
2.1.5	Transistores de Passagem e Portas de Transmissão	31
2.2	Falhas Causadas por Radiação	32
2.2.1	<i>Single Event Effect (SEE)</i>	34
2.2.2	<i>Single Event Upset (SEU)</i>	35
2.3	Latches e Flip-Flops	39
2.3.1	Diferenças entre Latches e Flip-Flops	39
2.3.2	Flip-Flop Mestre-escravo	39
2.3.3	Latch D Sensível ao Nível Alto	40
2.3.4	Flip-Flop D Mestre-Escravo	41
2.3.5	<i>Hold Time e Setup Time</i>	42
3	METODOLOGIA DO TRABALHO	47
3.1	Modelo para Simulação Elétrica (NGSPICE)	47
3.1.1	Modelo da Dupla Exponencial	47
3.1.2	Pontos de Sensibilidade à Radiação	50
4	RESULTADOS E DISCUSSÃO	56
4.1	Validação do Inversor CMOS	56
4.1.1	Análise 101	58
4.1.2	Análise 010	60
4.2	Validação do Flip-Flop D Master-Slave	63
4.2.1	Aplicação da dupla exponencial	66

4.2.2	Gráficos das Respostas à exposição do Flip-Flop às Duplas Exponenciais	
	nos demais vetores.	74
4.3	Vetor 01 - clock= 0; dados=1	75
4.4	Vetor 10 - clock= 1; dados=0	80
4.5	Vetor 11 - clock=1; dados=1	87
5	CONSIDERAÇÕES FINAIS	97
	REFERÊNCIAS	100
	APÊNDICE A – MODELO PREDITIVO DE ALTA PERFOR-	
	MANCE (HP) BULK CMOS	103
	APÊNDICE B – <i>NETLIST SPICE</i> DE UM FLIP-FLOP D	107
	APÊNDICE C – FIGURAS DOS INVERSORES E TRANS-	
	MISSION GATES CRIADAS PARA IDENTI-	
	FICAR AS JUNÇÕES PN SENSÍVEIS SEN-	
	SÍVEIS	110

1 Introdução

O avanço nos processos de integração empregados na fabricação de circuitos eletrônicos (VLSI) permitiu uma grande disseminação dos sistemas digitais facilitando que estes sejam utilizados nas mais diferentes aplicações na sociedade atual. Esta constante redução nas dimensões dos dispositivos integrados, possibilitou avanços no desempenho de computadores.

Uma vez que a área é um recurso limitado, o uso das tecnologias nanométricas é a solução para atender a essa demanda. Entretanto, com a redução do tamanho nas escalas de dimensionamento, no processo conhecido como *scaling*, acrescido do aumento da frequência de operação e da redução da tensão de alimentação dos circuitos, acabamos por permitir uma maior suscetibilidade dos circuitos à colisão de partículas (BAUMANN, 2005). Ao passo que esse mesmo avanço é responsável por tornar popular os sistemas embarcados, também tornou esses sistemas mais suscetíveis à falhas ocasionadas pela radiação, fazendo com que essas falhas passassem a ser cada vez mais consideradas durante o projeto dos sistemas digitais, fazendo com que o estudo das falhas esteja na atualidade presente como disciplina empregada na fase de projeto.

Os sistemas digitais atualmente operam em altas frequências (na faixa de vários GHz) e possuem, internamente, a nível de CPU (Unidade Central de Processamento), diversos circuitos sequenciais, capazes de armazenar e deslocar informações em formato binário. Estes circuitos são em sua grande maioria chamados de registradores. Eles são responsáveis por armazenar o estado em que o sistema computacional se encontra em dado momento. O bloco básico destes registradores, chamado de Flip-Flops, será o circuito foco da investigação apresentada nesta dissertação.

Atualmente grande parte da tecnologia direciona-se à pesquisa e desenvolvimento de dispositivos embarcados para sistemas autônomos como veículos terrestres, marítimos e aeronáuticos. Estes sistemas, além de precisão, demandam estabilidade em seus controles, economia de energia, redução de área, o que faz com que seja cada vez mais importante o desenvolvimento de técnicas que reforcem a capacidade de resiliência destes componentes à incidência de radiação, que tem na alta frequência de operação e na redução da tensão de alimentação, um caminho para o aumento da suscetibilidade dos circuitos em apresentar falhas decorrentes das interações com o meio. Essas interações ocorrem através de variações em fatores como: temperatura, umidade, vibração e também a qualquer tipo de radiação, objeto de estudo deste trabalho.

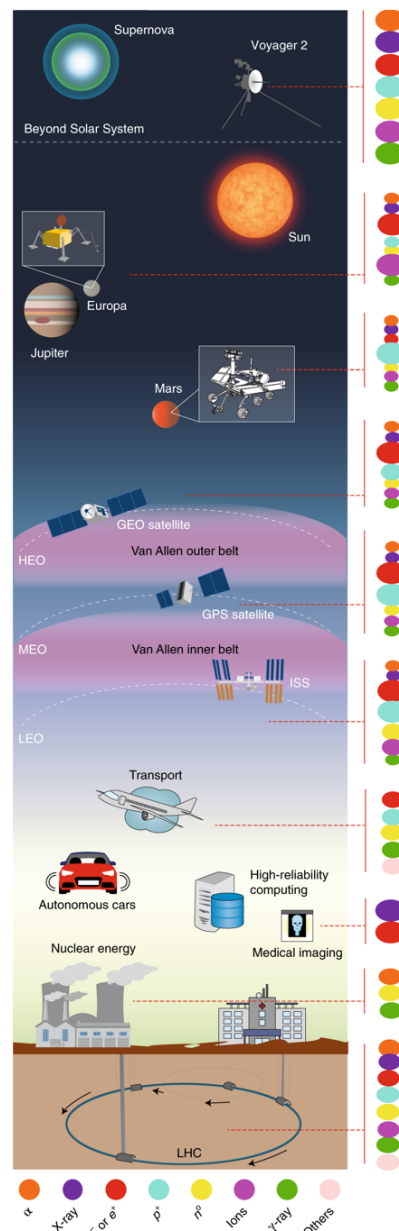


Figura 1 – Partículas, ondas, Radiação Natural e Artificial nas diversas camadas da atmosfera e no solo terrestre. (Extraído de: (PRINZIE et al., 2021))

Essa radiação pode ser originada de duas formas: (1) Eventos naturais, relacionados a partículas derivadas do espaço ou de materiais radioativos e (2), Eventos artificiais, relacionados à emissão eletromagnética originada de um equipamento eletrônico (AUTRAN; MUNTEANU, 2017); (SAKURAI; MATSUZAWA; DOUSEKI, 2006) como os usadas em medicina, por exemplo. A figura 1 mostra diversos ambientes desde os mais inóspitos, como o espaço e em grandes altitudes ou ao nível do mar. Diante disso há diversos efeitos da radiação em dispositivos semicondutores. Esses efeitos podem variar em magnitude, causando desde interrupções no processamento e na transmissão de dados, até danos permanentes, que por sua vez, variam de mudanças paramétricas, ou seja, as funcionalidades dos dispositivos não mais são

alcançadas, o que faz com que as características mudem em definitivo, até a parada total do dispositivo.

A incidência de radiação faz com que haja a colisão de partículas, oriundas dos processos de emissão citados anteriormente, com os elétrons de partes sensíveis dos transistores responsáveis pela formação dos blocos lógicos sequenciais. Mesmo que os dispositivos não estejam em ambientes espaciais, fora da proteção oferecida pela atmosfera ou próximo de outros emissores de radiação como dispositivos de diagnóstico por imagem ou alguns sistemas industriais, passam a ocorrer alterações que afetam o comportamento dos circuitos integrados mesmo nos ambientes mais comuns, mesmo ao nível do mar.

Deve-se perceber que da mesma forma em que há progressos, vê-se também uma crescente de desafios. O padrão industrial CMOS após o atingimento dos 90 nm começou a apresentar problemas no aumento do consumo estático, aumento da variabilidade de processo, aumento dos efeitos de envelhecimento (*aging*) e uma série de efeitos negativos de segunda ordem no dispositivo. A solução foi utilizar novos materiais além do Silício ou Germânio, como as ligas híbridas de Silício e Germânio (GeSi) ou Arsenieto de Gálio (GaAs). Também substituiu-se o Dióxido de Silício (SiO_2) por isolantes que possuem constante dielétrica maior (HUANG; YANG; CHU, 2010). No entanto, a cada novo nodo tecnológico os diferentes desafios de projeto tornavam mais difícil conciliar o crescimento do fator de integração, com as demandas exponenciais do mercado.

Algumas aplicações específicas exigem dos circuitos desenvolvidos, características especiais que não são prontamente atendidas utilizando-se as tecnologias e layouts convencionais. A radiação, com destaque para a do tipo ionizante, é capaz de danificar diretamente os circuitos integrados expostos, degradando progressivamente seu funcionamento. Podemos citar um ambiente crítico para circuitos eletrônicos que são os reatores de energia nuclear, onde diversos dispositivos responsáveis pelo controle do processo estão massivamente expostos a doses muito grandes de radiação. A solução do problema passa pela criação de estratégias que confirmem resistência aos dispositivos eletrônicos expostos a essas condições, permitindo seu funcionamento confiável e preciso durante a vida útil prevista para o equipamento.

1.1 Objetivos

Este trabalho tem como objetivo geral investigar as consequências da interação das partículas de radiação que incidindo sobre uma junção PN, podem alterar o funcionamento ou até mesmo as características dos circuitos sequenciais, de forma mais específica, os Flip-Flops.

1.1.1 Objetivos Estratégicos

- Conhecer o funcionamento dos transistores MOS (FET).
- Entender a tecnologia CMOS.
- Conhecer o funcionamento de circuitos sequenciais CMOS.

1.1.2 Objetivos Específicos

- Revisar topologias de Flip-Flops tipo D e descrever o netlist de transistores de um Flip-Flop D Master/Slave.
- Simular eletricamente o resultado da ação não destrutiva da radiação nesses circuitos, visando oferecer embasamento para possíveis tomadas de atitudes para a redução de perdas por ação da radiação.
- Verificar as características da interferência em forma de pulso elétrico na inversão do valor de saída.

1.2 Motivação

Considerando que o desempenho de sistemas computacionais, é ligado ao desempenho de forma encadeada de diversos dispositivos, avaliar os efeitos da ação da radiação em forma de partículas que podem afetar o funcionamento adequado dos componentes é extremamente importante, uma vez que o acúmulo de alterações, tanto nos circuitos combinacionais, quanto nos circuitos sequenciais, causariam falhas nos sistemas. Diversos trabalhos avaliam o impacto da radiação em células de memória SRAM [1-2] e muitos outros em lógica combinacional [3-4] mas poucos trabalhos fazem uma análise detalhada do impacto em blocos sequenciais como os Flip-Flops. Neste trabalho serão estudadas as falhas transientes devido a radiação, ou seja, SET (*Single Event Transients*) que acontecem quando uma partícula energizada colide com uma região sensível do transistor (GILL; SEIFERT; ZIA, 2009).

Essa partícula acaba por depositar carga nessa região, podendo alterar o estado do transistor causando a falha transiente que, dadas as proporções e grandezas envolvidas, podem provocar atrasos e alteração do valor lógico em uma entrada ou saída do componente.

Tomando como exemplo, a incidência de partículas em circuitos combinacionais, onde as falhas transientes afetam a saída atual do circuito. Enquanto isso em um circuito sequencial, o efeito transiente (SET) altera o valor armazenado até que uma

nova operação de escrita ocorra no dispositivo. De maneira geral, um transistor em corte pode entrar em condução, modificando os valores armazenados ou de entrada e saída, e consequentemente, o comportamento do circuito.

No passado, esses efeitos transientes devido a radiação eram uma realidade apenas em ambientes espaciais, aeronáuticos e/ou caracterizado em ambientes hostis, expostos à índices de radiação gerada de forma artificial e que hoje são uma realidade até mesmo ao nível do mar (NICOLAIDIS, 2005).

Nesse contexto, uma das principais tendências é levar em consideração um SET como um parâmetro de projeto, mesmo em nível terrestre (MANABE et al., 2019), avaliando e adaptando os circuitos a níveis condizentes com a exposição, dada a tecnologia utilizada no mesmo.

Pensando como um efeito colateral da miniaturização (*scaling*) e da redução dos níveis de tensão aplicada nos circuitos, a sensibilidade aos efeitos de radiação, aumentou consideravelmente, tanto em relação ao estudo comportamental do efeito (BAUMANN, 2005), quanto no desenvolvimento e análise de uma variedade de modelos e técnicas de simulação e mitigação (SCHVITZ et al., 2019) dessas falhas.

Para aumentar a confiabilidade de um sistema aos efeitos das falhas causadas por radiação, principalmente no caso de aplicações críticas, é comum a utilização de técnicas de endurecimento *Radiation hardening by design - RHBD* na etapa de projeto. Algumas das técnicas mais conhecidas e amplamente adotadas pelos projetistas para aumentar a robustez dos circuitos são as técnicas de Redundância Modular Tripla ou *Triple Modular Redundancy* (TMR) e a Redundância Modular Tripla Aproximada ou *Approximate Triple Modular Redundancy* (ATMR) de acordo com o visto em (OLIVEIRA, 2020), bem como a técnica *Dual Interlocked Storage Cell* (DICE) como poderão ser vistas no fichamento elaborado no estudo do estado da arte junto a diversas outras propostas inovadoras e algumas revisitadas.

Concluindo, neste trabalho são apresentados a estrutura e funcionamento de transistores MOS e a implementação da tecnologia CMOS, os efeitos da radiação, o inversor CMOS, a aplicação da dupla exponencial na simulação da ação da radiação sobre os dispositivos em simulações no NGSpice, bem como os Flip-Flops, aplicando também a eles a dupla exponencial de Messenger para simulação de falhas transientes bem como estudo do estado da arte, buscando alternativas que aumentem a robustez destes dispositivos, reduzindo os efeitos de SET.

1.3 Organização do Documento

Este trabalho está dividido da seguinte forma: o capítulo 2 que traz a Fundamentação Teórica onde são apresentados os conceitos preliminares que auxiliarão no entendimento do texto e das aplicações desenvolvidas durante o trabalho e reflete o estudo sobre o estado da arte. Prosseguindo, no capítulo 3 são apresentados os métodos de aquisição dos sinais, pontos de aplicação destes sinais no circuito proposto e suas respostas. Na sequência, o capítulo 4 apresenta os resultados obtidos e disserta sobre o procedimento narrado na metodologia, elencando os circuitos utilizados, sua validação lógica, e resultados preliminares, bem como o direcionamento para análise dos outros resultados em formas de onda elencados no Apêndice 4.2.2. Por fim, no capítulo 5 são evidenciadas as contribuições alcançadas até o momento.

2 Fundamentação Teórica

O objetivo desta seção é apresentar um panorama geral sobre os transistores MOS, visto em 2.1 e da tecnologia CMOS, trabalhada em 2.2. Para isso, ela trata dos seus principais componentes e topologias, do funcionamento do inversor CMOS no subitem 2.3, sua importância e funcionamento, das portas lógicas, sua universalidade e usos no item 2.4. Além disso, ela apresenta uma breve introdução à construção de portas lógicas compostas na topologia *pull-up/pull-down*, os transistores de passagem e as portas de transmissão no subitem 2.5, elementos indispensáveis para a elaboração dos Flip-Flops elencados no trabalho, base para o entendimento do estudo apresentado. É mostrado ainda o processo de falhas causadas pela incidência de radiação na seção 2.6.

2.1 Tecnologia CMOS

Neste capítulo será revisado cada componente que forma a tecnologia CMOS, aplicada aos dispositivos foco de estudos deste volume, culminando com as falhas causadas por radiação a serem comprovadas através de simulações elétricas ao final do texto.

2.1.1 Transistor MOS

O silício (Si) é um semicondutor que forma o material inicial básico para a maioria dos circuitos integrados. O cristal de silício puro consiste em uma rede tridimensional de átomos e como o silício pertence ao Grupo IV da tabela periódica, forma ligações covalentes com quatro átomos adjacentes, conforme mostra a Figura 2.

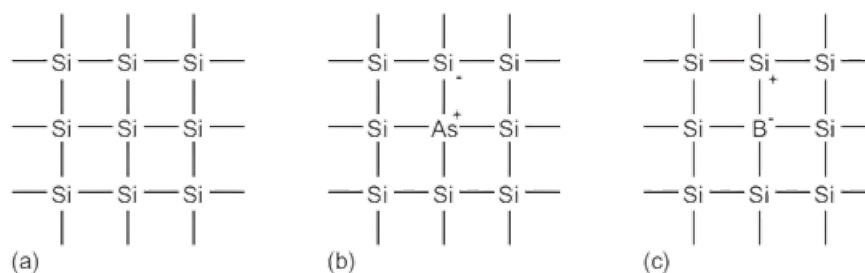


Figura 2 – Estruturas Cristalinas mostradas de forma plana. (a) Ligações covalentes no cristal de Si, (b) átomo de Arsênio (As) ligando-se ao silício, formando o material n e (c) átomo de Boro (B) formando o material p. (Extraído de: (WESTE; HARRIS, 2015))

Uma vez que todos os seus elétrons de valência estão envolvidos em ligações químicas, o silício puro é um mau condutor de corrente e esta sua condutividade pode ser aumentada pela introdução de pequenas quantidades de dopantes, na rede cristalina de silício. Um dopante do Grupo V da tabela periódica, como o arsênio (As) tem cinco elétrons de valência, substituindo um átomo de silício da rede por um de arsênio, seu quinto elétron de valência ficará fracamente ligado ao átomo. A vibração térmica do cristal à temperatura ambiente é suficiente para deixar o elétron livre para se mover produzindo um íon As^+ carregado positivamente e um elétron livre. Havendo um número maior de elétrons livres é possível que haja corrente de elétrons, o que resulta em uma condutividade maior. Desta forma se origina um material semiconductor do tipo n por existir uma certa quantidade de portadores majoritários livres negativos (elétrons).

Da mesma forma, um dopante trivalente do Grupo III da tabela periódica, como por exemplo, o boro (B), que possuindo três elétrons de valência, pode ocupar ainda na ligação um elétron de um átomo de silício vizinho, o que por sua vez permite a formação de uma lacuna, ou seja, haverá a produção de um espaço que poderia ser ocupado por um outro elétron. Essa lacuna age como um portador positivo, por não conter um elétron, a profusão destas lacunas acaba dando origem a um semiconductor tipo p.

Uma estrutura de Semiconductor de Óxido Metálico (MOS) é criada pela sobreposição de várias camadas de materiais condutores e isolantes para formar uma estrutura tipo sanduíche (WESTE; HARRIS, 2015) utilizando o processo de fotolitografia. Essas estruturas são fabricadas usando uma série de processos físico-químicos que darão origem a um transistor que é um dispositivo de quatro terminais formado a partir de um substrato semiconductor dopado (tipicamente silício com fraca dopagem do tipo p), com uma concentração de dopantes de aproximadamente 10^6 a 10^8 átomos por cm^3 . A parte central da estrutura é coberta com uma fina camada de material isolante (normalmente dióxido de silício - SiO_2 ou simplesmente óxido fino) e sobre esta camada de óxido é então criado um eletrodo de baixa resistividade, chamado Porta (*Gate*) normalmente formado por silício policristalino altamente dopado (aproximadamente 10^{20} átomos por cm^3).

Quando há a junção de regiões dopadas com diferentes sinais (região do tipo P tem como portadores majoritários, as lacunas, enquanto uma região do tipo N tem como portadores majoritários, os elétrons) é formada uma região de depleção com menor concentração de portadores majoritários. Assume-se por simplificação, que esta região é bem definida, mas em verdade ela possui uma fronteira gradual dentro do semiconductor e é nesta região (região de depleção) que há a ocorrência das falhas transientes, quando esta região é trespassada por partículas.

Para idealizar um transistor adiciona-se às laterais do dispositivo, através de implantação iônica, duas regiões fortemente dopadas de forma inversa ao substrato. Estas regiões são a princípio simétricas, chamadas de *Source* e *Drain* (Fonte e Dreno, respectivamente) conforme pode ser visto na figura 3.

Consideremos um transistor nMOS onde o substrato é geralmente aterrado de modo que as junções PN da fonte e do dreno para o corpo, região conhecida por substrato sejam polarizadas reversamente. Se a porta também estiver aterrada, nenhuma corrente fluirá pelas junções com polarização reversa. Portanto, dizemos que o transistor está em corte ou desligado, remetendo a uma chave que secciona o circuito. Se a tensão da porta aumenta, ela cria um campo elétrico que passa a atrair elétrons livres para a parte inferior da interface Si - SiO₂. Havendo um aumento da tensão, o número de elétrons supera o de lacunas e uma região fina sob a porta chamada de canal é invertida para atuar como um semicondutor do tipo n. Portanto, um caminho condutor de elétrons é formado da fonte ao dreno e a corrente pode, assim fluir. Desta forma, diz-se que o transistor está LIGADO, permitindo que haja passagem de corrente elétrica.

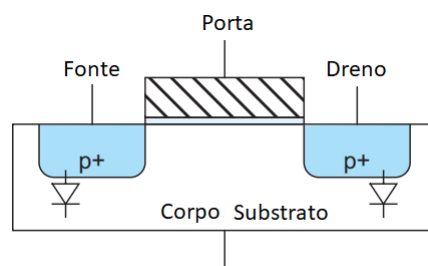


Figura 3 – Transistor pMOS de 4 terminais (Extraído de: (WESTE; HARRIS, 2015))

Para um transistor pMOS, a situação é inversa. O substrato é mantido em uma tensão positiva. Quando a porta também está em uma tensão positiva, as junções de fonte e dreno são polarizadas reversamente e nenhuma corrente flui, deixando o transistor em estado de corte ou desligado. Quando a tensão da porta é reduzida, as cargas positivas são atraídas para a parte inferior da interface Si - SiO₂. Uma tensão de porta suficientemente baixa inverte o canal e um caminho condutor de portadores positivos é formado da fonte ao dreno, de modo que o transistor será levado à condução.

Resumindo a ação do transistor MOS, sua porta controla o fluxo de corrente entre a fonte e o dreno. Simplificando ainda mais essa ação permitimos que os transistores MOS sejam vistos como interruptores liga/desliga. Quando a porta de um transistor nMOS estiver ligada à alimentação do circuito (V_{DD}) seu nível lógico é considerado 1, o transistor estará ligado, pois existirá um caminho condutor da fonte para o dreno. Quando a porta está em nível baixo, ligada ao GND, o transistor

nMOS estará desligado e uma corrente próxima do zero flui da fonte para o dreno. Um transistor pMOS funcionará exatamente de forma oposta, sendo ligado quando a porta está em nível baixo e desligado quando a porta estiver em nível alto.

2.1.2 O Inversor CMOS

A tecnologia CMOS utiliza os dois tipos de transistores: um transistor tipo n (nMOS) e um transistor tipo p (pMOS) em sua construção. As regiões n^+ e p^+ da Figura 4 indicam silício do tipo n ou p fortemente dopados, por elementos tri e pentavalentes. A operação do transistor é controlada por tensões geradas por campos elétricos, de modo que transistores MOS também são chamados de Transistores de Efeito de Campo de Semicondutor de Óxido Metálico (MOSFET) ou simplesmente Transistores de Efeito de Campo (FETs). É possível estabelecer um circuito lógico eficiente por meio da construção de um transistor usando um MOSFET de canal p e um de canal n no mesmo substrato. A configuração é chamada de arranjo MOSFET complementar ou CMOS (*Complementary metal-oxide-semiconductor*).

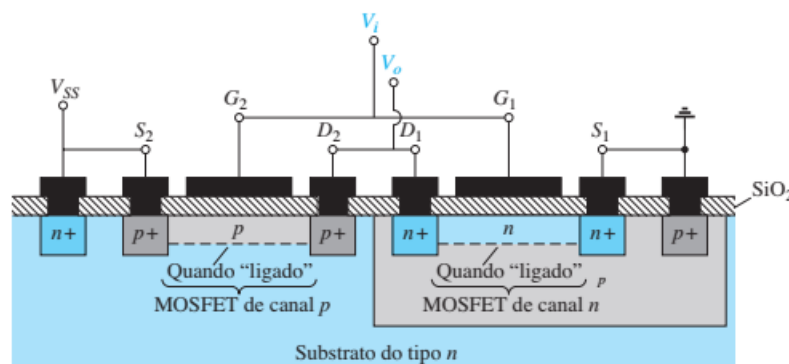


Figura 4 – Transistor da tecnologia CMOS. Ambos os transistores nMOS e pMOS em um único substrato. (Extraído de: (BOYLESTAD; NASHELSKY, 1984))

A condição natural de um dispositivo CMOS de impedância de entrada alta, com uma também alta velocidade de chaveamento e os níveis reduzidos de potência de operação resultaram praticamente na elaboração de uma disciplina completamente nova, que pode ser chamada de Projeto por Lógica CMOS (BOYLESTAD; NASHELSKY, 1984). A partir dessa tecnologia, pode-se construir facilmente dispositivos lógicos ou associações desses dispositivos de forma a realizar algumas operações como por exemplo, inverter o valor de um sinal. Desta forma, a partir das ligações que podem ser observadas na figura 4, temos um inversor CMOS. (BOYLESTAD; NASHELSKY, 1984)

Analisando a Figura 5 percebe-se que ao aplicar uma tensão de 5 V (estado 1 ou nível alto) aos terminais das portas dos transistores nMOS e pMOS (V_i) que

devem estar interligados e ambos os drenos à saída V_o . O terminal de fonte do MOSFET p (Q_2) está conectado diretamente à tensão aplicada $V_{SS} = 5\text{ V}$, enquanto o terminal de fonte do MOSFET de canal n (Q_1) estará conectado ao terra. Para a aplicação de 5 V na entrada, devemos ter como resultado 0 V na saída (estado 0 ou nível baixo). Neste caso, $V_{GS_1} = V_i$ e Q_1 estará ligado, o que resulta em um valor baixo de resistência entre o dreno e a fonte. Visto que V_i e V_{SS} são iguais a 5 V , $V_{GS_2} = 0\text{ V}$, resultando em um estado desligado, ou seja, o valor da resistência entre o dreno e a fonte é alto para Q_2 . Nessas condições, V_o está em 0 V (estado 0 ou nível baixo) pela baixa resistência entre dreno e fonte do transistor Q_1 o que o liga ao terra.

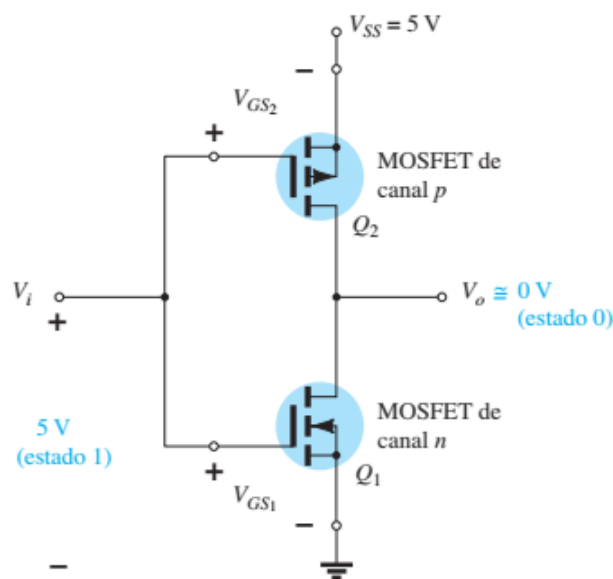


Figura 5 – Inversor CMOS. (Extraído de: (BOYLESTAD; NASHELSKY, 1984))

Quando aplicarmos nível baixo ao terminal conectado às portas dos transistores ($V_i = 0$), $V_{GS_2} = V_i$ e Q_2 estará ligado, o que resulta em um valor baixo de resistência entre o dreno e a fonte de Q_2 , tornando a saída $V_o = V_{SS}$. Nos dois casos, podemos verificar a inversão dos valores de entrada (V_i) com os valores de saída (V_o). Como a corrente de dreno que flui em cada caso é limitada pelo transistor desligado a uma pequena corrente de fuga, a potência que o dispositivo dissipa em cada um dos dois estados é muito baixa (BOYLESTAD; NASHELSKY, 1984).

O inversor é um exemplo de porta lógica CMOS estática. Normalmente, uma porta CMOS estática apresenta uma rede *pull-down* nMOS para conectar a saída a 0 (GND) e uma rede *pull-up* pMOS para conectar a saída a 1 (V_{DD}). As redes são organizadas de forma que uma esteja ligada e a outra desligada para qualquer padrão de entrada (WESTE; HARRIS, 2015).

As redes *pull-up* e *pull-down* no inversor consistem cada uma em um único

transistor, enquanto redes mais elaboradas são usadas para portas mais complexas. Usando combinações dessas construções temos a tecnologia CMOS combinacional com a qual diversas portas podem ser construídas (WESTE; HARRIS, 2015). Em contraste com outras formas de lógica, as portas CMOS estáticas operam corretamente, independentemente dos tamanhos físicos dos transistores.

Uma consequência do projeto de portas CMOS estáticas é que elas devem ser invertidas. A rede *pull-down* nMOS liga quando as entradas são 1, levando a 0, a saída. Para construir uma porta não inversora não basta inverter os sentidos dos transistores, pois tanto o transistor nMOS quanto o transistores pMOS, produzirão saídas degradadas, ou seja, que não atingem as faixas de valores cabíveis para os níveis lógicos. Em vez disso, podemos construir funções não inversoras a partir de múltiplos estágios de portas inversoras, dessa forma, cada projeto tem de ter diferentes compensações de velocidade, tamanho e potência.

2.1.3 Portas Universais

Assim como um inversor pode ser construído a partir de dois transistores MOS (nMOS e pMOS) podemos adotar conjuntos desses transistores para formar outras portas como as portas NAND e NOR. Estas portas de saída negada são universais e podem ser utilizadas em diversos tipos de circuitos. Todas as expressões booleanas consistem em combinações das operações básicas OR, AND e INVERSOR (TOCCI; WIDMER; MOSS, 2010) como pode ser visto na figura 6.

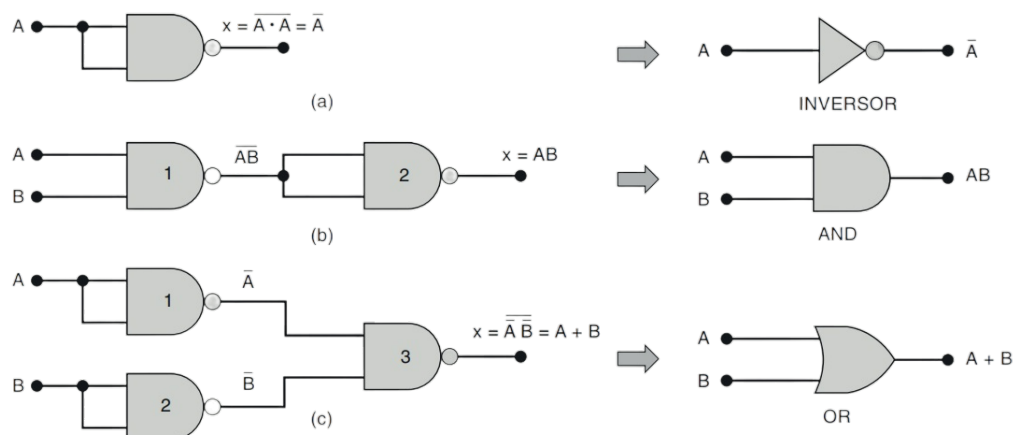


Figura 6 – Universalidade das portas NAND. (Adaptado de: (TOCCI; WIDMER; MOSS, 2010))

Portanto, qualquer expressão pode ser implementada usando combinações de portas OR, portas AND e INVERSORES. Entretanto, é possível implementar qualquer expressão usando-se apenas portas NAND, pois, em combinações apropriadas,

podem ser usadas para implementar cada uma das operações booleanas OR, AND e INVERSOR. Bastando então, aplicar os teoremas de DeMorgan e Boole.

A Figura 7 mostra uma porta CMOS NAND de 2 entradas, que consiste em dois transistores nMOS série entre a saída Y e o GND e dois transistores pMOS paralelos entre a saída Y e o V_{DD} . Se a entrada A ou B for 0, pelo menos um dos transistores nMOS estará DESLIGADO, ou seja, aberto, quebrando o caminho de Y à GND, mas pelo menos um dos transistores pMOS estará ligado, criando um caminho de Y à VDD. Portanto, a saída Y será 1. Se ambas as entradas forem 1, ambos os transistores nMOS estarão LIGADOS e ambos os transistores pMOS estarão DESLIGADOS. Assim, a saída será 0.

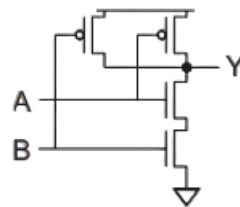


Figura 7 – Porta NAND de duas entradas. (Adaptado de: (WESTE; HARRIS, 2015))

Da mesma forma, uma porta NOR pode retornar resultado semelhante. Sua construção com a tecnologia CMOS é demonstrada na figura 8, onde os transistores nMOS estão em paralelo para retornar uma saída baixa quando uma das entradas é alta. Os transistores pMOS estão em série para retornar uma saída alta quando ambas as entradas são baixas.

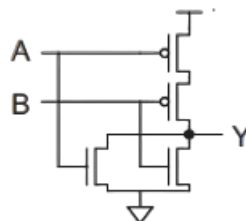


Figura 8 – Porta NOR de duas entradas. (Adaptado de: (WESTE; HARRIS, 2015))

2.1.4 Portas Compostas

Uma porta composta executa uma função lógica mais complexa em um único estágio de lógica e é formada pelo uso de uma combinação de estruturas de comutação em série e paralelo. Para tanto, os transistores que aparecem em série na rede pull-down devem aparecer em paralelo na rede pull-up e vice-versa.

Em geral, quando juntamos uma rede pull-up a uma rede pull-down para formar uma porta lógica como mostrado na figura 9, para cada vetor de entrada, somente um dos arranjos de transistores estará conduzindo a alimentação ou terra

para saída. Isso garante que a saída sempre tenha um valor lógico bem definido. É preciso lembrar que o resultado sempre se dará de forma invertida, necessitando que seja aplicado um inversor para se obter o resultado que se espera.

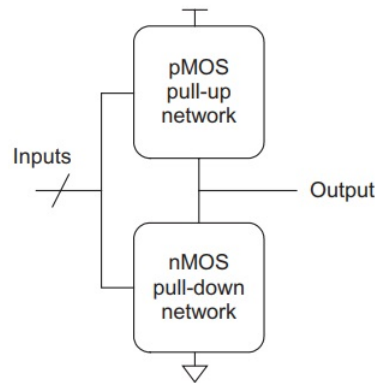


Figura 9 – Rede pull-up/pull-down. (Adaptado de: (WESTE; HARRIS, 2015))

2.1.5 Transistores de Passagem e Portas de Transmissão

A intensidade de um sinal é medida pelo quão próximo ele está de uma fonte de tensão ideal. Em geral, quanto mais forte for um sinal, mais corrente ele pode fornecer ou drenar. As fontes de alimentação, (V_{DD} e GND) são a fonte dos 1s e 0s. Um transistor nMOS é quase uma chave perfeita ao passar um 0 e, popularmente se diz que passa um 0 forte. No entanto, o transistor nMOS é imperfeito ao passar um 1. O nível de tensão é um pouco menor que V_{DD} , diz-se então, que passa um 1 degradado ou fraco. Um transistor pMOS tem o comportamento oposto. Os símbolos e comportamentos do transistor estão resumidos na figura 10 com g, s e d indicando porta, fonte e dreno, respectivamente.

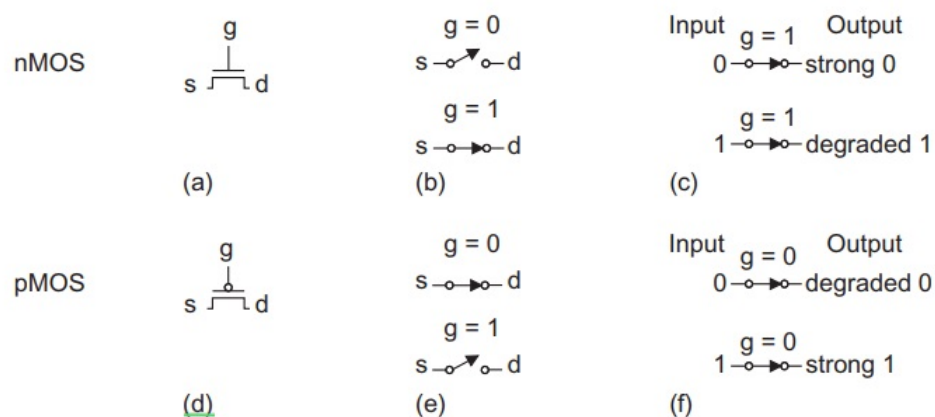


Figura 10 – Transistores de passagem e saídas forte e degradadas. (Adaptado de: (WESTE; HARRIS, 2015))

Quando um transistor nMOS (ou um pMOS) é usado sozinho como uma chave imperfeita, o chamamos de transistor de passagem.

Combinando um transistor nMOS e um transistor pMOS em paralelo como podemos ver na Figura 11a, obtemos uma chave que liga quando 1 é aplicado a g e 0 é aplicado a gb (Figura 11b) na qual 0s e 1s são passados de maneira aceitável como pode ser visto na Figura 11c. A esta configuração chamamos de porta de transmissão ou porta de passagem. Em um circuito onde apenas 0 ou 1 precisa ser passado, o transistor apropriado (n ou p) pode ser excluído, revertendo para um único dispositivo nMOS ou pMOS. Alguns símbolos de circuito para a porta de transmissão são mostrados na Figura 11.

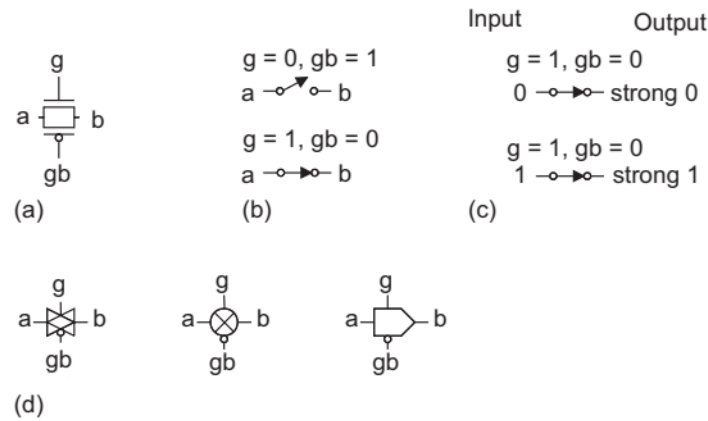


Figura 11 – Porta de Transmissão (*transmission gate*). (Adaptado de: (WESTE; HARRIS, 2015))

Os circuitos mostrados acima serão de grande importância na criação dos Flip-Flops a serem estudados neste trabalho, uma vez que estes são elaborados apenas com portas de transmissão (*transmission gates*) e inversores CMOS com transistores MOS na topologia pull-up/pull-down.

2.2 Falhas Causadas por Radiação

Como mencionado anteriormente, à medida em que as dimensões e tensões de operação dos circuitos eletrônicos são reduzidas buscando satisfazer as demandas do mercado consumidor por maior densidade, funcionalidade e menor consumo energético, sua sensibilidade à radiação aumenta consideravelmente. A radiação pode afetar circuitos sequenciais, especialmente em ambientes de alta radiação como o espaço, em aplicações de controle em reatores nucleares ou áreas com radiação ionizante intensa. Esse fenômeno é muito preocupante para circuitos integrados e dispositivos eletrônicos avançados. A radiação afeta circuitos sequenciais provocando uma série de falhas e eventos, como:

Eventos Transitórios de Radiação (Single-Event Effects - SEE). Onde a radiação ionizante pode gerar pares elétron-lacunas em materiais semicondutores.

Isso provoca pulsos de corrente temporários nos transistores, que podem alterar os estados lógicos dos flip-flops e registradores em circuitos sequenciais.

Falhas de Soft (Soft Errors): Partículas de radiação podem mudar o valor armazenado em um elemento de memória (bit flip). No caso de circuitos sequenciais, isso afeta os estados armazenados no sistema, como os dados em um flip-flop ou registrador.

Degradação de Componentes (TID - Total Ionizing Dose): Ao longo do tempo, a exposição prolongada à radiação pode degradar os transistores MOSFETs. Isso altera tensões de limiar (V_t), impactando a operação estável de circuitos sequenciais através da interação entre partícula e material na qual a radiação ionizante (como partículas alfa, prótons ou nêutrons) interage com o silício, o material base dos circuitos integrados, gerando cargas indesejadas e maior sensibilidade de estados sequenciais. Dessa forma, torna-os mais sensíveis do que circuitos combinacionais pois estes armazenam estados, ou seja, uma alteração causada pela radiação pode persistir e comprometer a funcionalidade do circuito (SCHRIMPF; FLEETWOOD, 2004).

Vários efeitos de radiação podem ser observados nos semicondutores e estes efeitos podem variar em sua magnitude, proporcionando desde interrupções na transferência de dados, perda dos dados acumulados (DODD; MASSENGILL, 2003) até danos permanentes. Esses possíveis danos podem variar em índices que vão de mudanças paramétricas, onde os dispositivos perdem a capacidade de retomar seu funcionamento normal, uma vez que sofre alterações das suas características físicas e à falha permanente e destrutiva do dispositivo. Esses efeitos incluem: Bloqueio por *single event* (evento único), *Burnout* (queima) por *single event*, *Gate Rupture* por *single event*, e outros (SEXTON, 2003).

No presente trabalho, o foco serão os efeitos não permanentes, ou seja, aqueles efeitos transitórios que alteram os dados armazenados nos dispositivos, mas não alteram suas características físicas ou condição de funcionamento, uma vez que os danos se acumulam além do nível de tolerância do dispositivo, ele normalmente não pode ser recuperado.

De certa forma, a radiação pode ser interpretada como uma forma de energia em movimento que se propaga pelo meio através de partículas subatômicas de matéria (FRIEDBERG; COPELAND, 2011) através de um meio ou no vácuo, com origem natural ou artificial. Como exemplo de radiação de origem natural podem ser citadas as radiações cósmicas e dos ventos solares originadas no espaço e a radiação de solo radioativo originada no próprio planeta dadas as características radioativas pela presença de materiais radioativos de um determinado solo.

A radiação natural depende de qualquer fonte que não exija interferência externa para que haja emissão de partículas ou ondas eletromagnéticas. Enquanto isso, a radiação artificial surge como produto de processos atômicos ou nucleares, que ocorrem em máquinas e equipamentos, como por exemplo, em procedimentos médicos de radiografia, em aceleradores de partículas, em explosões de dispositivos nucleares e, inclusive, em tubos de raios catódicos utilizados em aparelhos de televisão e monitores de computadores (KNOLL, 2010). Portanto, mesmo que se imagine um circuito imune a radiações naturais ao nível do mar, outras influências artificiais podem levar a erros conhecidos como efeitos de eventos singulares, ou *Single Event Effects* (SEEs).

Falhas são causadas quando partículas subatômicas altamente carregadas energeticamente (elétrons, prótons, nêutrons, partículas alfa, píons, múons ou íons) atingem partes sensíveis de um circuito (DODD; MASSENGILL, 2003). Dependendo de vários fatores, o impacto dessas partículas pode causar desde nenhum efeito observável, passando pela interrupção transitória de uma operação, por uma mudança no estado lógico ou até mesmo por um dano permanente e irreversível ao circuito integrado.

Quando a radiação faz contato com um átomo, seja através de uma partícula ou de uma onda eletromagnética, a energia liberada pela colisão entre essas partículas pode afetar sua estrutura atômica. Se a energia liberada pela colisão superar a energia de ligação entre as partículas do átomo, ocorrerá uma ionização ou reação nuclear. Caso a energia seja inferior a energia de ligação, causará um deslocamento entre as partículas causando fenômenos que podem ser denominados de radiação ionizante e não ionizante respectivamente.

Considerando apenas a radiação ionizante, teremos como principais fontes, os elementos radioativos ou os raios cósmicos que consistem em partículas de alta intensidade, produzidas por diversos corpos cósmicos e são considerados partículas primárias que colidem com os átomos na atmosfera, liberando novas partículas subatômicas secundárias altamente ionizadas (FRIEDBERG; COPELAND, 2011). Assim eles dão origem a um efeito em cadeia (radiação ionizante) onde os efeitos proporcionam o surgimento de novas partículas, além da liberação de mais radiação durante o processo. Por outro lado, na radiação não ionizante os efeitos geralmente se resumem a agitação das moléculas e geração de calor.

2.2.1 *Single Event Effect* (SEE)

As falhas transientes de efeito único devido à radiação acontecem quando uma partícula colide com uma região sensível do transistor gerando um *Single Event Effect*

(SEE) quando essa partícula acaba depositando carga nessa região, podendo alterar o estado do transistor (BAUMANN, 2005). A falha ocorre quando um valor lógico é alterado em decorrência da interação com o ambiente externo e tem efeito de curto prazo sobre o componente ou circuito que acaba por retornar à normalidade. Usando como exemplo, um circuito combinacional, as falhas afetam a saída do circuito e em circuitos sequenciais, o efeito transiente altera o valor armazenado até que uma nova operação de escrita ocorra no dispositivo.

Os efeitos transientes são uma realidade até mesmo ao nível do mar e em ambientes do nosso dia-a-dia devido à miniaturização dos circuitos e à menor aplicação de energia na sua alimentação. Desta forma, a comunidade de projetistas tem como uma das principais tendências atualmente, considerar *Soft Errors* como um parâmetro de projeto, mesmo em nível terrestre. Nesse contexto, os SEEs não destrutivos ou falhas transientes são reconhecidos como uma grande ameaça ao funcionamento dos dispositivos eletrônicos.

2.2.2 *Single Event Upset* (SEU)

Em circuitos sequenciais, um dos principais efeitos de radiação é denominado como *Single Event Upset* (SEU) que ocorre quando uma partícula ionizada colide com a junção PN de um transistor reversamente polarizado, colisão esta que "deposita" pares de elétrons-lacunas, que serão coletados como carga pelo dispositivo através de dois mecanismos: *Drift* (Deriva) e *Diffusion* (Difusão).

O mecanismo de *Drift* ocorre quando a partícula percorre a região de depleção onde um campo elétrico gerado por ela coleta os portadores excedentes o que implica em uma deformação temporária da região de depleção, denominada *Funneling*, ou seja, um afinilamento da região (BAUMANN, 2005). Já o mecanismo de *Diffusion* ou difusão, é responsável por coletar os portadores gerados fora da região de depleção. Se a carga acumulada durante esses processos for maior que a carga crítica suportada pelo dispositivo, este apresentará um desvio de comportamento. A Figura 12 ilustra os mecanismos de depósito de carga durante a interação iônica.

Na figura 12 é possível perceber a geração dos pares de elétron-lacunas em uma junção p-n reversamente polarizada: Em (a), ocorre a ionização do substrato no local da colisão da partícula e o caminho percorrido por ela; em (b) é mostrada a formação do *funneling* na região de depleção e em (c) a carga coletada na deriva é sobreposta pela carga coletada pela difusão.

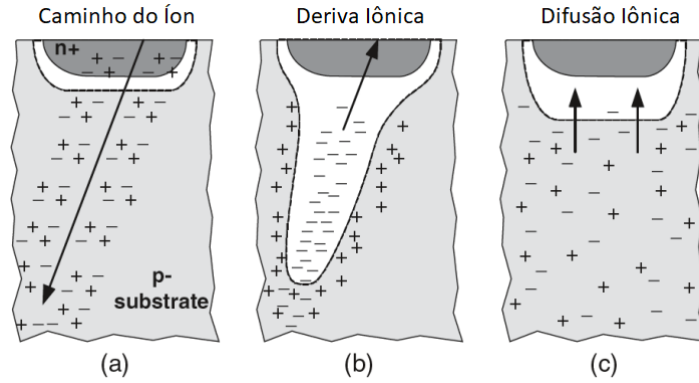


Figura 12 – Mecanismos de depósito de carga durante a interação iônica. (Extraído de: (WESTE; HARRIS, 2015))

Para as simulações, à espelho de como foi utilizado em (MESSENGER, 1982), foi usado um modelo analítico que simula os efeitos da colisão da partícula através da inserção de uma fonte de corrente no sistema com uma forma de onda no formato de pulso, que obedece idealmente ao comportamento de uma dupla exponencial conforme a onda demonstrada na Figura 13, onde o evento inicia-se com a chegada da carga à junção PN, ionizando o substrato e gerando pares de portadores pelo caminho percorrido por ela. No espaço de tempo entre o ponto de coleta da carga e o momento onde inicia-se a difusão da carga coletada, situa-se o pico de corrente representado pela equação 2.1

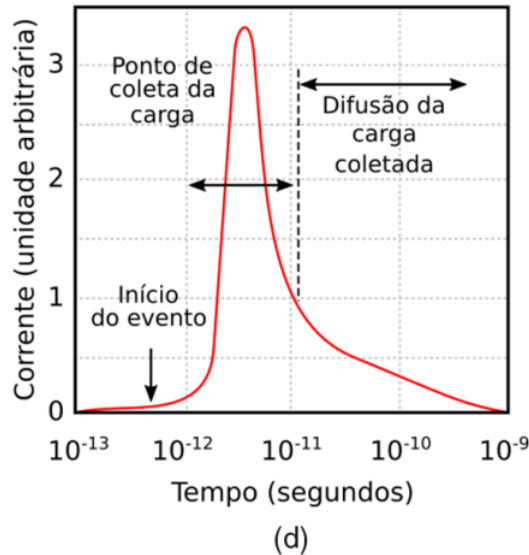


Figura 13 – Linha do tempo do pulso de corrente associado a colisão da partícula. (Extraído de: (WESTE; HARRIS, 2015))

Com base nesse modelo temos as equações 2.1 e 2.2

$$I(t) = \left(\frac{Q_{\text{coll}}}{\tau\alpha - \tau\beta} \right) \times \left(e^{\frac{-t}{\tau\alpha}} - e^{\frac{-t}{\tau\beta}} \right) \quad (2.1)$$

$$Q_{\text{coll}} = 10,8 \times 10^{-15}(L)(LET) \quad (2.2)$$

onde:

- Q_{coll} é a quantidade de carga coletada;
- $\tau\alpha$ é a constante de tempo de carga;
- $\tau\beta$ é a constante de tempo para a formação da trilha do íon.
- 10,8 fC é a quantidade de carga depositada por micrômetro.
- LET *Linear Energy Transfer* é a quantidade de energia por unidade de comprimento.
- L representa a profundidade do depósito de carga (caminho da deriva).

Todos os parâmetros envolvidos nas equações 2.1 e 2.2 servirão para que se possa contabilizar a quantidade de carga coletada durante a interação da partícula com as partes sensíveis do semicondutor e com isso obter o quanto esta carga coletada se aproxima do valor da carga crítica, o que nos daria a noção mais precisa de quanto se estaria próximo de uma alteração no nível do sinal original para alto ou baixo, provocando um SEU.

Devemos citar ainda, que o ambiente terrestre é dominado por mecanismos que geram (diretamente ou como produtos de reação secundária) íons que são responsáveis por induzir *soft errors*. A magnitude de uma perturbação depende da transferência linear de energia (LET, do inglês *Linear Energy Transfer*) desse íon que normalmente relatamos em unidades de MeV.cm²/mg (BAUMANN, 2005). O LET refere-se a quantidade de energia liberada por uma partícula por unidade de comprimento do caminho que essa partícula percorreu no semicondutor (WANG; AGRAWAL, 2008).

Conforme se vê na Figura 12, no início de um evento de radiação ionizante, uma trilha cilíndrica, portanto, tridimensional de pares de elétrons lacunas com raio abaixo de 1 μm e uma concentração muito alta de portadores é formada no caminho da passagem do íon energético em (a). Quando a trilha resultante da ionização atravessa ou se aproxima da região de depleção, portadores são rapidamente coletados pelo campo elétrico criando um grande transiente de corrente/tensão naquele nó.

Uma característica notável do evento é a distorção em forma de funil (funneling) durante a deriva iônica (HSIEH; MURLEY; O'BRIEN, 1981). Este funil aumenta muito a eficiência da coleta de deriva, estendendo a camada de depleção, o que é ilustrado em (b) e consequentemente, aumenta o tamanho do funil o que se dá em função da dopagem do substrato. Com esta fase da coleta concluída, após cerca de um nanossegundo, a difusão começa a dominar o processo de coleta de carga,

como visto em (c) ou seja, ascargas coletadas começam a retornar aos seus lugares, recombinação-se.

A carga adicional é coletada à medida que os elétrons se difundem na região de depleção em uma escala de tempo mais longa (na casa de centenas de nanossegundos) até que todos os portadores em excesso tenham sido coletados, recombinados ou difundidos para longe da área de junção.

O pulso de corrente correspondente, resultante dessas três fases é mostrado na Figura 13. Em geral, quanto mais longe da junção o evento ocorrer, menor será a quantidade de carga coletada e dessa forma, menos provável que o evento cause um *soft error*.

Em circuitos reais, um nó nunca é isolado, na verdade é parte de um complexo de nós muito próximos uns dos outros; assim, compartilhamento de carga entre nós pode influenciar muito a quantidade de carga coletada (Q_{coll}) e o valor e localização da tensão e da corrente de falhas no circuito.

De acordo com (BAUMANN, 2005) a magnitude de Q_{coll} depende de uma combinação complexa de fatores, que incluem:

- o tamanho do dispositivo,
- a polarização dos vários nós do circuito,
- a estrutura do substrato,
- a dopagem do dispositivo,
- o tipo de íon,
- a sua energia,
- a sua trajetória,
- a posição inicial do evento dentro do dispositivo e o
- estado do dispositivo

A sensibilidade do dispositivo a esse excesso de carga deve ser levada em conta, pois é definida principalmente pela capacitância do nó, pela tensão de operação alimentação do circuito) e também é dependente da capacidade dos transistores de realimentação. Todos estes itens definem a quantidade de carga crítica (Q_{crit}) necessária para desencadear uma mudança no estado dos dados contidos no circuito. A resposta do dispositivo é dinâmica e dependente da magnitude e do tempo de existência do pulso e, portanto, a carga crítica (Q_{crit}) não é constante, mas dependente das características do pulso de radiação e da resposta dinâmica do próprio circuito, tornando o efeito extremamente difícil de modelar (DODD; SEXTON, 1995).

Simplificando, podemos dizer, então, que um *soft error* será induzido quando um evento de radiação ocorre perto o suficiente de um nó sensível tal que Q_{coll} seja maior Q_{crit} . Por outro lado, se o evento resultar em uma Q_{coll} menor que Q_{crit} , então não ocorrerá nenhum *soft error*.

2.3 Latches e Flip-Flops

Latches e Flip-Flops são circuitos eletrônicos fundamentais em sistemas digitais. Eles são usados para armazenar e manipular dados binários, desempenhando um papel crucial na construção de registradores, contadores, memória, e outros elementos de processamento digital. Além disso, eles permitem o armazenamento e a manipulação de dados de maneira controlada e sincronizada, sendo essencial para o funcionamento correto de dispositivos eletrônicos e sistemas de computação.

Cabe aqui destacar que estes circuitos são produzidos com transistores MOS, conhecidamente sensíveis ao impacto de partículas de radiação. Dessa forma, é necessário que se conheça a respeito dos mesmos, suas aplicações e diferenças para que se possa entender o mau funcionamento dos circuitos quando da exposição à radiação.

2.3.1 Diferenças entre Latches e Flip-Flops

Basicamente o que torna diferentes latches e FFs é a forma de troca de estado. Enquanto os latches tem um sistema de controle baseado em níveis diferentes aplicados a entrada de controle, os Flip-Flops trazem como controle a detecção da mudança de nível, ou seja, a detecção de bordas de subida ou descida (TOCCI; WIDMER; MOSS, 2010). O conceito de Flip-Flop é mais abrangente, fazendo com que se considere Flip-Flops os dispositivos que, mesmo baseados em latches, tenham um circuito que possa detectar as bordas. Os latches, ainda, não necessariamente precisam ter entradas de controle por *clock*, bastando que haja apenas algum tipo de habilitação ou gatilho para que se altere o valor do sinal da saída, tornando-os circuitos bem mais simples podendo ser confeccionados até mesmo com um único *transmission gate* (WESTE; HARRIS, 2015).

2.3.2 Flip-Flop Mestre-escravo

Um Flip-Flop terá como característica principal ser um detector de bordas pode ser criado a partir da junção de dois latches, um que identifique nível alto do sinal de clock e outro que identifique o nível baixo (WESTE; HARRIS, 2015). Desta forma é criado um Flip-Flop Mestre-Escravo (*Master-Slave*) onde o clock do

Flip-Flop escravo será complementar em relação ao clock do mestre, passando por um inversor ou seja, níveis diferentes acionarão mestre e escravo.

A escolha apropriada da topologia do Flip-Flop é de importância fundamental no design de circuitos integrados. Por causa dos Flip-Flops a frequência de clock muitas vezes precisa ser alterada e o acúmulo de atrasos provocados por eles representam uma fração importante das perdas nas arquiteturas mais rápidas. Além disso, eles podem ser responsáveis por valores que vão de 30 a 50% da estimativa de consumo de energia do chip (NEDOVIC; OKLOBDZIJA, 2005).

Nem todos os Flip-Flops são *Master-Slave*, uma vez que existem classes diferentes de Flip-Flops, como os explicitamente pulsados, implicitamente pulsados e diferenciais, por exemplo. Cada tipo apresenta diferentes topologias, (ALIOTO; CONSOLI; PALUMBO, 2010) a serem aplicadas de forma que atendam a maior parte das necessidades apresentadas, em que pese, baixo ou reduzido consumo de energia, atrasos e outros.

Inicialmente, será trabalhada uma proposta simplificada de um Flip-Flop D *Master-Slave*, o *Transmission Gate* Flip-Flop (TGFF) sensível a borda de subida do sinal de clock. Após o perfeito entendimento de seu funcionamento e do domínio das formas de onda resultantes das suas interações, seja possível trabalhar com a influência da radiação nos resultados. Dessa forma, de posse das simulações elétricas, possa ser estudada a robustez proporcionada por alterações em suas arquiteturas.

2.3.3 Latch D Sensível ao Nível Alto

Para representar o Flip-Flop D sensível à subida do sinal de clock será considerada uma associação de latches D da classe Mestre-Escravo.

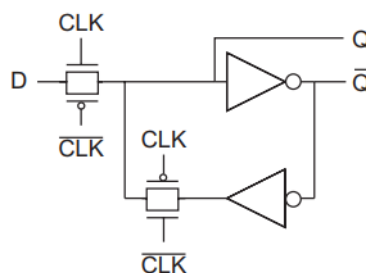


Figura 14 – Latch D sensível ao nível alto do sinal de clock. Fonte: (WESTE; HARRIS, 2015)

A seguir é mostrado o funcionamento do dispositivo nos dois momentos do sinal de clock, com chaves de acionamento substituindo os *transmission gates* responsáveis pela entrada de clock. Na figura à esquerda, quando o nível do sinal

de clock está alto (H), o latch sensível a este nível, estará transparente, ou seja, permitindo que a saída Q receba o sinal da entrada D . Já na figura à direita, percebemos que com nível de clock baixo (L), o latch se coloca como opaco e mantém em sua saída Q a entrada D apresentada anteriormente.

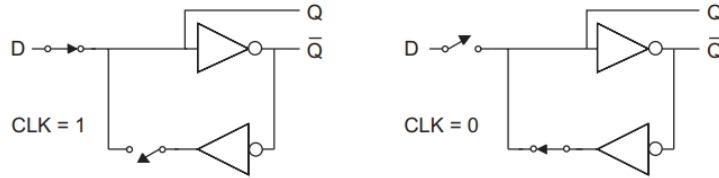


Figura 15 – Funiconamento do Latch D sensível ao nível alto do sinal de clock. Fonte: (WESTE; HARRIS, 2015)

2.3.4 Flip-Flop D Mestre-Escravo

Seguimos agora para a configuração do Flip-Flop Mestre-Escravo que de acordo com a definição, traz como *Master* o latch à esquerda, sensível ao nível baixo ou negativo, enquanto o *Slave* será o da direita, sensível ao nível alto ou positivo, conforme a figura 16. Quando o clock tem nível 0 o latch D (mestre) estará transparente e entregará o sinal de entrada D à saída $\overline{QM}$, fazendo com que a saída Q entregue o valor armazenado anteriormente.

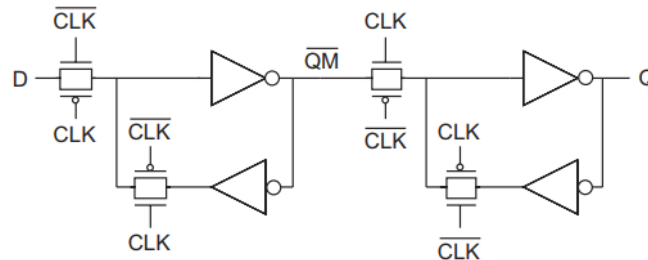


Figura 16 – Flip-Flop D sensível à borda. Fonte: (WESTE; HARRIS, 2015)

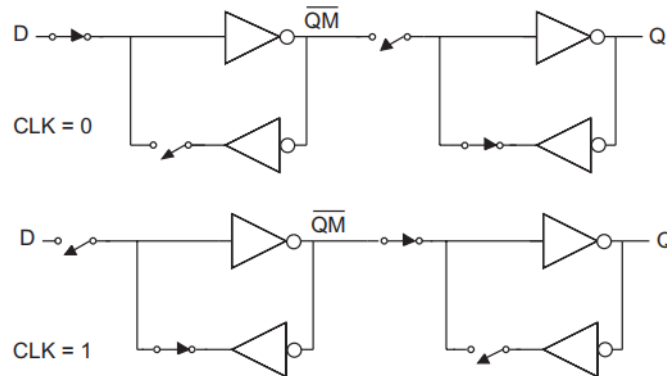


Figura 17 – Funcionamento do Flip-Flop D sensível a borda. Fonte: (WESTE; HARRIS, 2015)

Conforme vimos na figura 15 substituiremos os *transmission gates* responsáveis pelo sinal de clock por chaves para facilitar o entendimento também da forma como funciona o Flip-Flop D sensível a borda positiva ou de subida do sinal de clock.

No momento em que houver a transição de 0 para 1 o latch mestre torna-se opaco e mantém o valor de D. O latch escravo será transparente passando então o valor armazenado em $\overline{QM}$ para a saída Q. Assim que houver nova transição de 1 para 0 o latch escravo mantém o valor e o mestre começa a leitura da entrada novamente.

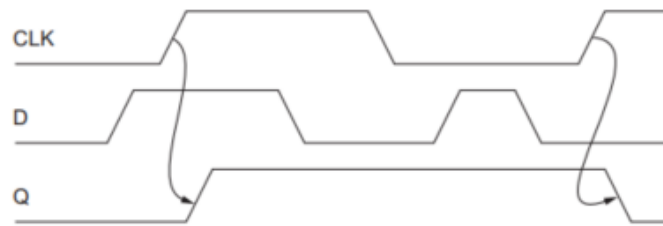


Figura 18 – Formas de onda do FFDMS(+). Fonte: (WESTE; HARRIS, 2015)

Resumindo, o Flip-Flop D *Master-Slave* sensível a borda de subida (FFDMS(+)), entrega o valor obtido da entrada D à saída Q sempre que detectar a passagem do nível baixo para o nível alto, conforme pode ser visto nas formas de onda da figura 18.

2.3.5 Hold Time e Setup Time

É necessário avaliar as possibilidades de funcionamento das partes de um circuito, uma vez que da união de diversos deles se obtém um resultado ou resposta. Como dito anteriormente, se uma falha ou atraso provocado por algum tipo de interferência externa, como SEE, ocorrer, essa falha poderá acarretar perda de dados.

Vale a pena relembrar que os latches e os FFs são os principais elementos sequenciais. Ambos possuem basicamente três terminais: entrada de dados (D), relógio (clk) e saída de dados (Q). Um latch é transparente quando o relógio está em nível alto e opaco quando o relógio está baixo. Em outras palavras, quando o clock está alto, D flui para Q como se o latch fosse apenas um buffer, mas quando o clock está baixo, o latch mantém sua saída Q atual mesmo se D mudar. O Flip-Flop, por sua vez, é um dispositivo acionado por borda, que pode ser de subida ou de descida, assim, copiando D para Q quando há borda ascendente do clock e ignorando D em todos os outros momentos. (WESTE; HARRIS, 2015)

De forma ideal, uma metodologia correta de projeto não introduziria nenhum tipo de sobrecarga no circuito sequencial, não havendo nenhum consumo energético agregado e assim, permitiria associar elementos consecutivos, sem lógica intermediária.

Essa metodologia daria flexibilidade ao projetista para equilibrar as quantidades de lógica em cada ciclo de clock, permitiria ainda, tolerar quantidades moderadas de ciclos de clock sem degradar o desempenho. Seria necessário ainda que de forma mínima, agregasse área e consumo de quantidades maiores de energia (WESTE; HARRIS, 2015).

Os sistemas baseados em Flip-Flops usam um em cada limite de ciclo. Se um sinal de entrada (saída do Flip-Flop anterior) chegar muito cedo, ele aguardará no Flip-Flop até o próximo ciclo. É preciso lembrar que o Flip-Flop pode ser visto como um par de latches que usam o sinal de clock (CLK) e seu complemento ($\overline{CLK}$). Se separarmos os latches, podemos dividir o ciclo completo da lógica combinacional em duas fases, às vezes chamados de semiciclos.

A Tabela 1 define os atrasos e restrições de tempo da lógica combinacional e elementos de sequenciamento. A Figura 19 ilustra esses atrasos em um diagrama de tempo trazendo a resposta de um Flip-Flop. A entrada de dados deve ser estável para a janela em torno da borda ascendente do Flip-Flop para que ela possa ser amostrada de forma confiável. A entrada D deve ter passado pelo tempo de configuração t_{setup} antes da borda ascendente do clk e não deve mudar novamente até que um tempo de espera (t_{hold}) seja mantido após a transição do relógio. A saída muda efetivamente após o tempo de propagação clock-to-Q (t_{pcq}) (WESTE; HARRIS, 2015).

Tabela 1 – Atrasos de propagação (Adaptado de: (WESTE; HARRIS, 2015))

Term	Name
t_{pcq}	Latch/Flop Clock-to-Q Propagation Delay
t_{setup}	Latch/Flop Setup Time
t_{hold}	Latch/Flop Hold Time

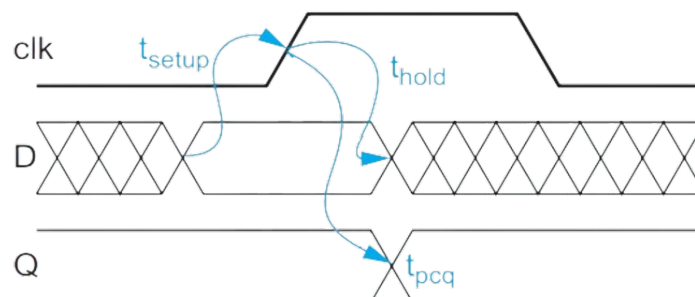


Figura 19 – Tempos de setup, hold e clock-to-Q. Fonte: (WESTE; HARRIS, 2015)

Desta forma, cabe definir cada um dos tempos citados e indicados nas figuras.

O Setup Time ou tempo de setup, é o intervalo de tempo que precede imediatamente a transição ativa do sinal de clock, durante o qual a entrada de

controle tem de ser mantida no nível adequado (TOCCI; WIDMER; MOSS, 2010). Em outras palavras, trata-se do tempo no qual o sinal de entrada deve estar estável antes da borda de clock. Se esse parâmetro não for considerado, o Flip-Flop pode responder de modo não confiável quando ocorrer a transição do sinal de clock.

O Hold Time ou tempo de hold, por sua vez, é o intervalo de tempo que se segue imediatamente após a transição ativa do sinal de clock, durante o qual a entrada de controle tem de ser mantida no nível adequado (TOCCI; WIDMER; MOSS, 2010). Desta forma, trata-se do tempo no qual o sinal de entrada deve estar estável após a borda de clock. Caso esse parâmetro não seja considerado, o Flip-Flop não será disparado de maneira confiável.

Da mesma forma, o Time Clock-to-Q ou intervalo de tempo t_{cq} é considerado desde o momento em que ocorre a transição do sinal de clock até o momento em que ocorre a mudança de sinal da saída Q. É possível dividir este intervalo de tempo em t_{ccq} , conhecido como tempo de contaminação clock-to-Q e t_{pcq} , chamado de atraso de propagação clock-to-Q.

Conhecidos estes tempos, para garantir que um Flip-Flop com clock responda adequadamente quando ocorrer a transição, conforme pode ser visto na figura 19 as entradas de controle têm de estar estáveis por pelo menos um intervalo de tempo igual a $t_{setup_{min}}$ antes da transição do clock e por pelo menos um intervalo de tempo igual a $t_{hold_{min}}$ após a transição do clock.

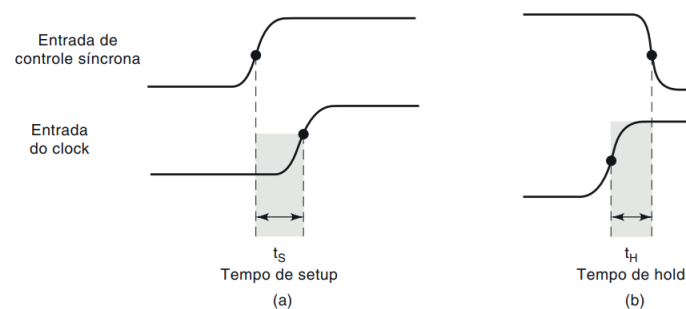


Figura 20 – Representação de t_{setup} e t_{hold} . Fonte: (TOCCI; WIDMER; MOSS, 2010)

Tais intervalos são necessários para permitir os atrasos de propagação das portas internas que controlam a operação dos Flip-Flop, mantendo as características básicas dos sinais. Dessa forma é preciso perceber que esses tempos são medidos entre os instantes em que as transições estão em 50% da amplitude dos sinais, tanto de subida, quanto de descida conforme visto na figura 21.

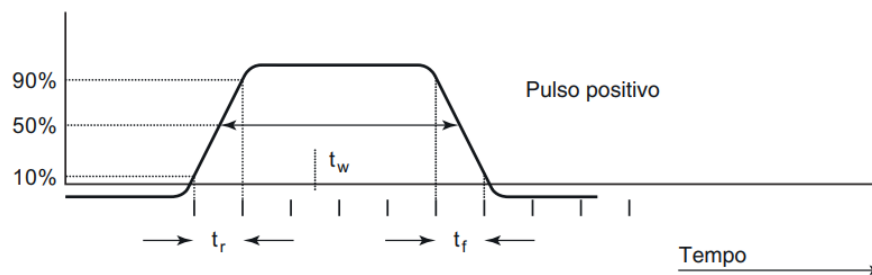


Figura 21 – Representação dos pontos de referência para medição de tempos e pulsos.
 Fonte: (TOCCI; WIDMER; MOSS, 2010)

Dessa forma, $t_{\text{setup}_{\text{mín}}}$ e $t_{\text{hold}_{\text{mín}}}$ são necessários para permitir os atrasos de propagação das portas internas que controlam a operação dos dispositivos de Flip-Flop, com isso, convém lembrar que esses tempos são medidos entre os instantes em que as transições estão em 50% da sua amplitude.

Esses parâmetros de temporização são muito importantes em sistemas síncronos porque, conforme veremos, existem diversas situações em que as entradas de controle síncronas de um FF mudam de estado aproximadamente ao mesmo tempo que a entrada CLK (TOCCI; WIDMER; MOSS, 2010).

Neste capítulo, estudou-se o transistor MOS, a tecnologia CMOS, as portas lógicas e demais componentes usados para se chegar a configuração da topologia do Flip-Flop D Master-Slave escolhido para o trabalho, sua criação a partir do latches. Foi analisado também, e forma breve o comportamento temporal de flip-flops CMOS, com foco nos parâmetros críticos: setup time, hold time e clock-to-Q delay. Esses fatores são determinantes para a confiabilidade e o desempenho dos circuitos digitais, especialmente em sistemas de alta velocidade ou baixa potência.

Conforme enfatizado por (WESTE; ESHRAGHIAN, 2003), o respeito aos tempos de setup e hold é fundamental para evitar estados de *metastability*, que é uma condição que pode ocorrer em circuitos digitais síncronos, especialmente em Flip-Flops, quando o sinal de entrada muda em um momento crítico em relação ao sinal de clock. Essa mudança ocorre tipicamente dentro da janela de tempo definida pelos parâmetros setup time e hold time. Estes estados podem comprometer a operação estável de circuitos síncronos. Além disso, o estudo do clock-to-Q delay, descrito por (TOCCI; WIDMER; MOSS, 2010) como uma métrica essencial de desempenho, permite avaliar o impacto direto do Flip-Flop no tempo total de propagação do sistema.

Do ponto de vista metodológico, esses parâmetros influenciam diretamente as simulações elétricas realizadas com ferramentas como o NGspice. (MESSENGER, 1982), ao abordar a aplicação de funções exponenciais duplas no modelamento de

transistores bipolares, fornece subsídios relevantes para a modelagem precisa de componentes eletrônicos em cenários de avalanche e comportamento não linear. Assim, o correto dimensionamento dos transistores e das cargas capacitivas deve considerar não apenas os parâmetros temporais, mas também os modelos de corrente e tensão derivados para evitar falhas operacionais.

Por fim, esta fundamentação teórica, baseada nos fundamentos estabelecidos por West, Messenger, Tocci e outros importantes autores, fornece uma estrutura teórica para o projeto de Flip-Flops CMOS. Ele também estabelece bases sólidas para as etapas seguintes da pesquisa, que explorarão simulações detalhadas e condições reais de operação em circuitos digitais.

3 Metodologia do Trabalho

Os experimentos foram desenvolvidos através de simulações elétricas utilizando a ferramenta NGSpice para avaliar o comportamento elétrico dos inversores CMOS e dos Flip-Flops, quanto à falhas do tipo *Single Event Upset* (SEU). Para isso, os circuitos foram descritos utilizando o modelo preditivo de alta performance (HP) bulk CMOS, fornecido pela Arizona State University (ASU) na tecnologia de 32nm mostrado no Apêndice A.

3.1 Modelo para Simulação Elétrica (NGSPICE)

A coleta de carga em trilhas de íons pode produzir alterações nos valores lógicos e conseqüentemente mudança de dados armazenados nos circuitos integrados de alta densidade. Como dito anteriormente, isso provém do acúmulo de falhas nos circuitos básicos que compõem as estruturas mais complexas como por exemplo, as memórias. Tem sido experimentalmente observado que a condução à deriva geralmente desempenha um papel dominante quando a trilha de íons transpassa uma junção. Deseja-se, então, desenvolver soluções analíticas para entender melhor o problema e fornecer a base para modelar o efeito em programas de análise de circuitos e sistemas em computador. Neste trabalho, o programa NGSpice foi utilizado, uma vez que é uma ferramenta de código aberto, o que permite modificações, contribuições da comunidade e, claro, acesso gratuito. Ele permite ainda aproveitar uma vasta biblioteca de modelos de componentes, por suportar simulações analógicas, digitais e *mixed-mode*. Adicionalmente é possível automatizar simulações com scripts, facilitando testes extensivos e a execução de várias simulações em sequência. Isso é útil em análises paramétricas ou em estudos de Monte Carlo, por exemplo. Além de tudo isso, ele possui documentação abrangente sendo possível encontrar tutoriais, fóruns e exemplos de uso para diversos tipos de circuitos.

3.1.1 Modelo da Dupla Exponencial

O *Single Event Transient* (SET) é uma falha transiente que ocorre quando uma partícula altamente energizada incide numa área ativa criando um caminho condutivo. Conforme pode ser visto na figura 12 este efeito pode se propagar pelo circuito atingido através de um pulso transiente (DODD, 1996). Para poder simular um SET deve-se definir o pulso transiente através de uma fonte de corrente na forma de uma exponencial dupla (MESSENGER, 1982) de acordo com a equação 3.1 e

visualizada na forma de pulso de corrente na figura 13.

Aqui se pode ver uma análise aproximada da solução expressa como:

$$I(t) = I_o \times (e^{-t/\tau\alpha} - e^{-t/\tau\beta}) \quad (3.1)$$

ou seja, a primeira análise feita de coleta de carga no processo de condução de difusão (MESSENGER, 1982).

onde:

- I_o é a corrente máxima,
- $\tau\alpha$ é a constante de tempo de coleta da junção, e
- $\tau\beta$ é a constante de tempo necessário para estabelecer a trilha de íons vista na Figura 13.

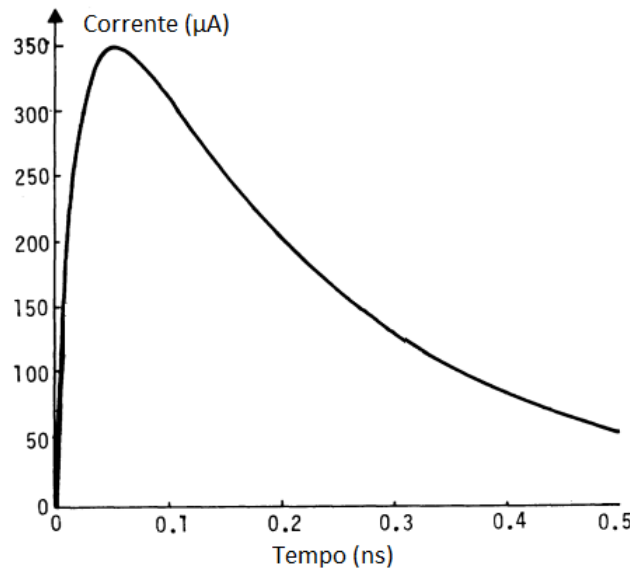


Figura 22 – Resposta transitória para 5 MeV de partículas α no fenômeno de *funneling*. (Extraído de: (MESSENGER, 1982))

Cria-se então, a partir dessas informações, uma fonte de corrente a ser aplicada ao modelo do dispositivo a ser simulado para que obtenhamos um sinal de falha. Esta fonte de corrente transiente vista na Figura 22, é aplicada num dos nodos de saída (entrada para o próximo dispositivo) e é definida no simulador NGSpice conforme é descrita a seguir:

`I[nome] v1 v2 EXP (I1 I2 TD1 TAU1 TD2 TAU2)`

A declaração da fonte de corrente dupla exponencial mostrada acima requer alguns parâmetros a serem conhecidos, como:

- I[nome] - nome escolhido para a fonte de corrente (sempre iniciado por I conforme manual do NGSpice (NENZI; VOGT, 2011)).
- v1 e v2 - pontos de conexão do circuito à fonte.
- I1 - (*Initial Value*) refere-se ao valor inicial da corrente.
- I2 - (*Pulsed Value*) refere-se ao valor da amplitude do pulso e é calculado de acordo com a Equação 3.2 vista em (MESSENGER, 1982), originada das equações 3.3 e 3.4

$$I_2 = \left(\frac{Q_{\text{coll}}}{\tau\alpha - \tau\beta} \right) \quad (3.2)$$

$$Q_{\text{coll}} = 10,8 \times L \times LET \quad (3.3)$$

às quais substitui-se na equação 3.2 e na equação 3.1 obtendo-se

$$I_2 = \frac{10,8 \times L \times LET}{\tau\alpha - \tau\beta} \quad (3.4)$$

- TD1 (*Rise Delay Time*) trata-se do tempo de atraso de subida do pulso, ou seja, referente ao instante que a falha será inserida no circuito.
- TD2 (*Fall Delay Time*) é o tempo de atraso de descida.
- TAU1 (*Rise Time Constant*) constante de tempo de subida.
- TAU2 (*Fall Time Constant*) constante de tempo de descida.

Nas simulações que serão mostradas neste trabalho a expressão que representa o pico de corrente da resposta transitória é representado pela fonte condicionada pelas linhas abaixo:

```
Iradd101 s s1 EXP (0 93u init101 2p 'init101+15p' 10p)
```

```
Iradd010 s2 s EXP (0 130u init010 2p 'init010+15p' 10p)
```

As expressões acima representam fontes de corrente que são utilizadas cada uma em um momento, por terem características de inicialização em níveis lógicos diferentes respeitando todos os parâmetros mencionados anteriormente. Na continuação, simula-se a incidência da falha SET em cada nodo crítico da topologia, então a saída do circuito é analisada verificando se o mesmo consegue manter o nível (H ou L) do sinal apesar da falha transiente.

Uma vez que um dos parâmetros a serem dedicados para cada simulação é a tensão de alimentação, esse modelo opera com uma tensão de alimentação de 0,9V. O pulso de corrente inserido segue os parâmetros apresentados em (BLACK et al., 2015), onde $TD2 = TD1 = 15ps$, $TAU1 = 2ps$ e $TAU2 = 10ps$ e alterados para que se observassem diferentes resultados.

Para comparar o impacto da Radiação em Circuitos CMOS é preciso descrever um inversor e avaliar o mesmo logicamente. Após a avaliação se aplica a dupla exponencial no nodo de saída do inversor e captura a mínima corrente que causará uma perturbação, ou seja, as alterações no nível lógico que possam mudar o valor da saída do dispositivo simulado. A nomenclatura utilizada nos modelos, 101 e 010, identificam a mudança de um nível lógico inicial, ou seja, a troca de nível ao sofrer a perturbação, logo após, ocorrendo o retorno ao nível original.

O inversor CMOS visto na Figura 5 é descrito e simulado no NGSpice, e em seguida, o Flip-Flop da Figura 34 o circuito sequencial, alvo real trabalho.

3.1.2 Pontos de Sensibilidade à Radiação

Como visto anteriormente, as junções PN são as porções sensíveis dos transistores CMOS. Uma vez que estes compõem o Flip-Flop estudado aqui, cabe detalhar esses pontos de fragilidade, apontando-os e identificando-os para uma posterior aplicação das fontes de corrente. Estas aplicarão a dupla exponencial da seção anterior, nos locais adequados, as quais produzirão os sinais nas simulações dos efeitos da radiação agressiva a estas junções.

Na figura 34 podemos identificar os nós de interligação entre os inversores e *transmission gates* que formam o Flip-Flop, que vão de N_1 (Nó de saída do inversor utilizado para obter o sinal invertido de clock) até N_8 na retroalimentação do latch detector de nível alto (Latch (+)).

Vimos na seção 2.3 que dois latches são utilizados para formar o Flip-Flop estudado neste trabalho e torna-se indispensável que se identifique qual conjunto de nós de conexão limita cada um deles. Portanto, os nós N_2 , N_3 , N_4 e N_7 vistos na figura 34 constituem, com os componentes ligados por eles o latch (-) ou detector de nível baixo, enquanto os nós N_4 , N_5 , N_6 e N_8 , são os nós formadores do latch detector de nível alto ou (+). Podemos notar que o nó N_4 aparece para os dois dispositivos, portanto podemos chamá-lo de nó de interligação. Dessa forma, poderemos observar nas simulações como se faz importante este nó, pois justamente nele é que há a possibilidade de evitar que o sinal indesejado provocado pela radiação se propague pelo restante do circuito. Isso confere a este nó uma robustez maior do que a observada nos outros nós. Isso ocorre por causa da *transmission gate* conectada a ele que pode

ser considerada como a entrada do latch (+) e, uma vez que esta *transmission gate* impede a passagem de sinais até que o valor de clock passe para o nível alto. Cabe colocar ainda que as condições variam em relação ao estado das entradas de clock e dados (D), o que conseqüentemente provocará alterações nos outros nós de acordo com cada caso estudado, conforme visto na tabela 2.

No processo pela determinação dos nodos sensíveis para que fosse possível aplicar a fonte de corrente, foi desenvolvido um conjunto de figuras visando identificar a sensibilidade provocada pelas junções reversamente polarizadas para cada vetor de entrada. Uma vez que os sinais de entrada a serem observados são apenas o sinal de clock (CLK) e o de dados (D) os vetores possíveis são 00, 01, 10 e 11, onde clock=dados=0; clock=0 e dados=1; clock=1 e dados=0 e clock=dados=1, respectivamente.

Na figura 23, podemos ver o caminho que a partícula percorre através da junção sensível PN. Essa sensibilidade é provocada pela situação dos sinais de entrada e saída. A passagem da partícula, como visto anteriormente, provoca o deslocamento de pares elétron lacuna permitindo que ocorra o bitflip, mudando então o caminho da passagem da corrente, com uma inadequada polarização direta da junção, normalmente polarizada de forma reversa para o caso ilustrado, impedindo a passagem de corrente elétrica.

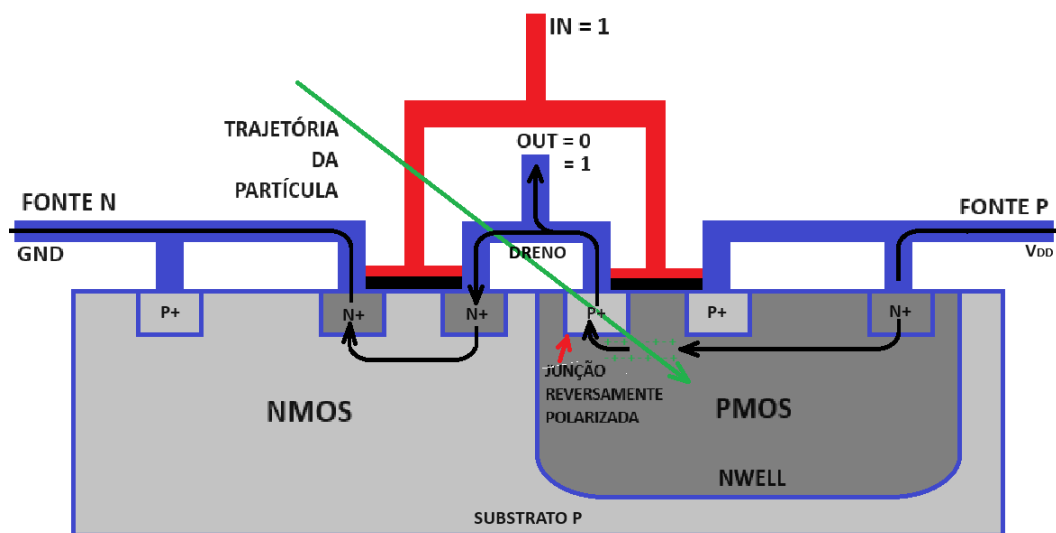


Figura 23 – Esquemático do Flip-Flop D Mestre-Escravo. Fonte: O autor

Portanto, da simplificação desta ideia colocada por (SCHVITZ; BUTZEN; ROSA, 2020) foram criados os esquemas de polarização para as junções PN sensíveis nos nodos relacionados no trabalho que podem ser vistas adiante como exemplo e no Apêndice C na sua totalidade, identificando cada nó do circuito da figura 24.

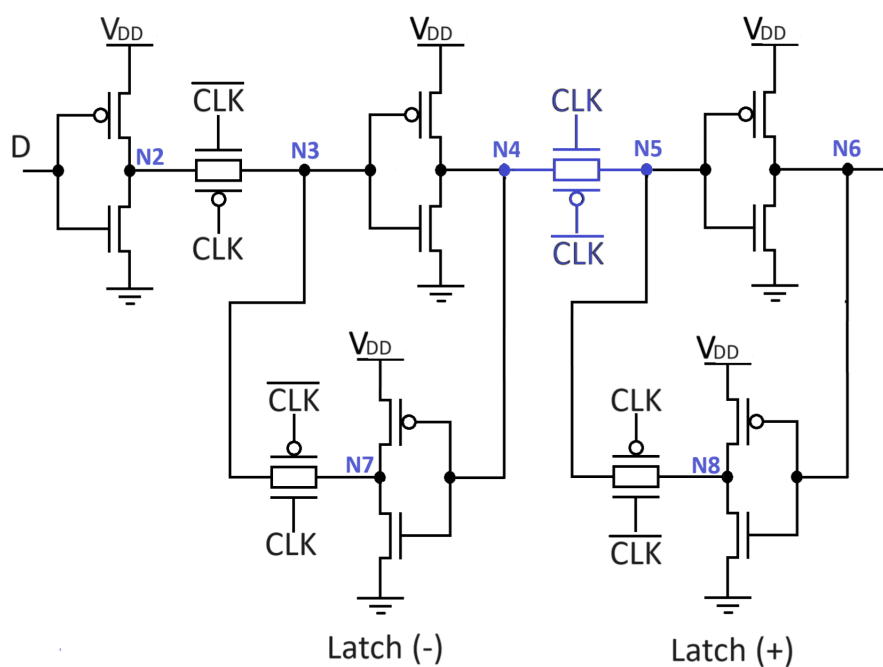


Figura 24 – Esquemático do Flip-Flop D Mestre-escravo. Fonte: O autor

As figuras 25 e 26 foram produzidas a partir da análise da figura 23 que mostra um inversor CMOS sendo transpassado por uma partícula e atingindo uma junção PN reversamente polarizada como dito em (SCHVITZ; BUTZEN; ROSA, 2020).

Os retângulos na figura 25 representam as partes dos transistores envolvidos na confecção do componente, onde o retângulo representa o substrato (*Bulk*) e os quadrados as porções relativas a dreno e fonte do dispositivo.

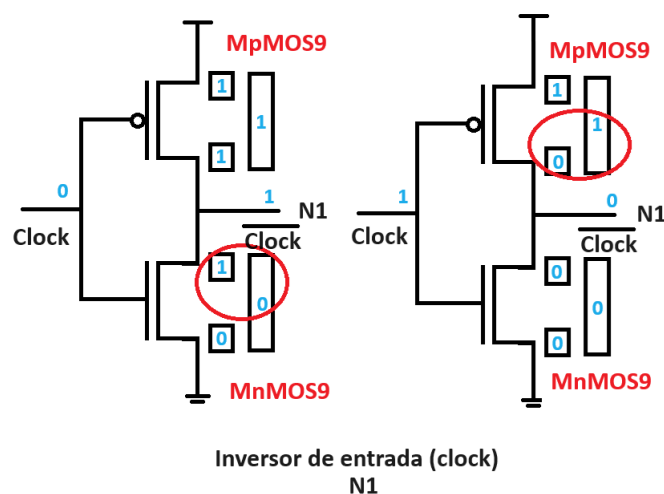


Figura 25 – Diagrama criado pelo autor para ilustrar o efeito do sinal de entrada na sensibilidade à radiação de cada junção PN nos inversores CMOS.
Fonte: O autor

Na figura 25, à esquerda, tomando como exemplo o transistor NMOS (*pull-down*) do inversor CMOS apresenta um nodo sensível, uma vez que a saída do inversor retorna um sinal alto, seu dreno apresenta também sinal alto, mas seu *bulk* precisa estar conectado ao GND, dando o nível baixo ao retângulo que o representa, desta forma, circulado em vermelho temos a porção sensível deste inversor quando o sinal de entrada de clock for baixo, independente do que estiver na outra entrada (D).

Assim, na mesma figura, vendo pelo inversor mais à direita, quando a entrada for de nível alto, a saída retornará nível baixo, o que colocará o *bulk* do transistor PMOS (*pull-up*) em oposição ao dreno do transistor PMOS, tornando esta a porção sensível para esta configuração de entrada.

Diversas figuras como esta foram criadas para facilitar a identificação destes nodos sensíveis, todas identificadas com o nome dos nós de interligação das mesmas. Visando não sobrecarregar o texto, será mostrado o caso dos inversores, usando como exemplo o inversor da figura 25 e os *transmission gates* da figura 26. O conjunto de todas as figuras criadas é mostrado no Apêndice C.

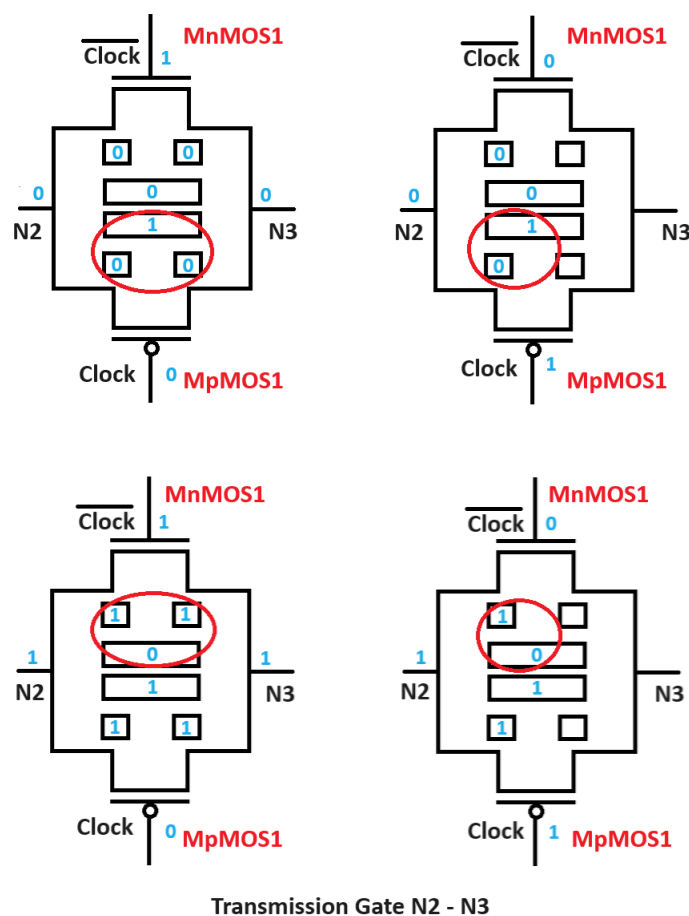


Figura 26 – Ilustração criada pelo autor para indicar o efeito do sinal de entrada na sensibilidade à radiação de cada junção PN nas *transmission gates*.
Fonte: O autor

Na figura 26 todas as possibilidades de sinais de entrada e saída, nos componentes mostrados (*transmission gates*) aparecem em azul e circulado em vermelho podem ser vistos os pontos de sensibilidade ocasionados pela influência dos sinais de entrada de clock e os valores de dados.

É preciso notar que dois dos quatro *transmission gates* da figura 26 não apresentam indicação de saída, demonstrando que neste ponto ou nó, teremos a dependência do sinal anterior armazenado neste ponto.

Tabela 2 – Tabela criada para identificar cada um dos sinais relativos ao efeito do vetor nos nós do Flip-Flop. Fonte: O autor

VETOR		NÓS												Saída Q	
CLK	D	N1	N2	N3	N4	N5	N6	N7	N8	N9	N10	N11	N12		
0	0	1	1	1	0	0	1	1	0	1	0	1	0	1	0
		nhit	nhit	nhit	phit	phit	nhit	nhit	phit	nhit	phit	nhit	phit	nhit	phit
0	1	1	0	0	1	0	1	1	0	0	0	1	0	1	0
		nhit	phit	phit	nhit	phit	nhit	nhit	phit	phit	phit	nhit	phit	nhit	phit
1	0	0	1	0	1	1	0	1	0	0	1	0	1	1	0
		phit	nhit	phit	nhit	nhit	phit	nhit	phit	phit	nhit	nhit	phit	nhit	phit
1	1	0	0	0	1	1	0	0	1	1	0	0	1	0	1
		phit	phit	phit	nhit	nhit	phit	nhit	nhit	phit	nhit	phit	nhit	phit	nhit

A partir da análise das figuras foi possível produzir a descrição dos nós sensíveis, representada na tabela 2 considerando os vetores de entrada e suas reações sobre cada nó, de onde podemos verificar que através dos nós, sensibilizados em suas junções PN passariam partículas radioativas que provocariam os *hits* ou atingimento destas junções, que, por sua vez, provocariam o *bitflip* ou mudança do sinal de saída de cada circuito, inversor ou *transmission gate* como visto na figura 26.

Analisando a tabela 2 e as figuras 25 e 26 que mostram os efeitos das entradas e saídas de sinais, percebe-se que em cada nó do circuito, temos pontos de sensibilidade dadas as junções PN expostas à estes nós. Iniciando pelo nó 1 (N1) se a entrada de sinal de clock for 0, uma vez que o dispositivo conectado ao nó é um inversor, sua saída será 1 o que provoca uma sensibilidade no transistor nMOS entre o *bulk* ou substrato e o dreno do componente, provocando um nhit. Caso a entrada seja 1, teremos 0 na saída e desta forma, será provocado um phit no transistor pMOS do seu substrato para seu dreno. Assim se percebe que cada junção PN com a devida ação dos sinais de entrada, podem provocar sensibilidade a partes diferentes dos componentes envolvidos.

Em todos os nós teremos esse tipo de interação, como por exemplo no nó 2 (N2), teremos interações além da citada anteriormente, uma vez que este nó interliga diversos transistores. Podem ser citados os transistores nMOS1, pMOS1, nMOS2 e pMOS2 e a depender das situações de entrada provocadas pelos diferentes vetores,

teremos caminhos sensíveis diferentes através destes transistores. Ainda baseado nos vetores, podemos perceber na tabela 2 que alguns dos transistores terão suas junções PN sensibilizadas dependendo do sinal anterior da sua entrada, ou seja, do valor armazenado no Flip-Flop, aqui chamado de estado anterior ou apenas, **anterior**.

Esses casos de dependência do sinal armazenado pode ser observado nos *transmission gates*. Usemos como exemplo o *transmission gate* entre os nós N2 e N3, que dependendo do sinal de clock, pode ou não levar o sinal da saída do inversor da entrada do sinal de dados para a entrada do inversor colocado entre os nós N3 e N4. Dependendo também deste sinal de clock, mas agora também do próprio sinal de entrada de dados, o caminho de passagem deste sinal terá condições diferentes de sensibilidade à radiação.

Se observarmos o caso onde o vetor de entrada clock=1 e Dados=1 poderemos ter duas respostas diferentes no nó N3 de acordo com a tabela 2. Quando o valor possível para este nó for 0, teremos um **phit**, ou seja, a junção PN sensível à radiação será aquela através do transistor pMOS do *transmission gate* por seu *bulk* e dreno apresentarem polarizações diferentes. Por outro lado, o valor armazenado no Flip-Flop for 1, teremos um **nhit**, ou seja, a junção PN sensível à radiação será aquela através do transistor nMOS do *transmission gate* uma vez que o *bulk* e o dreno do transistor nMOS tem polarizações diferentes.

Em diversas situações, dependendo então desses valores armazenados, dos valores das entradas de dados e de clock serão provocadas respostas diferentes aos valores de corrente gerados pelas fontes de dupla exponencial.

Para cada vetor, ou seja, cada combinação de sinais de entrada, em que pese, clock=dados=0; clock=0, dados=1; clock=1, dados=0 e clock=dados=1 foram aplicados os sinais em cada um dos nós presentes no circuito, de N1 a N8. É preciso salientar que os valores considerados como saída **Q** foram obtidos a partir da leitura do nó N8, pois este apresentava o mesmo nível.

4 Resultados e Discussão

Os resultados serão divididos em duas etapas que serão mostradas ao decorrer do texto a seguir. A primeira consiste em descrever o Inversor CMOS da figura 5, testá-lo mostrando as alterações simuladas com o emprego dos eventos transientes representando a interferência da radiação com a dupla exponencial da figura 22. Na segunda, será descrito o Flip-Flop da *Netlist* 4.1 mostrando seus parâmetros principais para a posterior simulação e análise com as interferências causadas com a aplicação da fonte que emula dupla exponencial da figura 22 representando um evento transiente.

4.1 Validação do Inversor CMOS

Abaixo é apresentada a Netlist 4.1 do inversor CMOS. Nela pode-se observar o modelo do inversor CMOS, quando são introduzidos os dois transistores, (nMOS e pMOS).

NetList 4.1 – Simulação Transiente do Inversor CMOS

```

1  * Simula o Inversor CMOS
2  * Parametros
3  .include 32nm_HP.pm
4
5  * Declarando Fontes de tensao
6  Vvdd vdd gnd 1
7
8  * Declaracao das fontes
9  Va a gnd PWL (0n 0 10n 0 10.01n 1 20n 1)
10
11 * Declarando o circuito
12 Mpl vdd a s vdd      PMOS w=140n l=32n
13 Mnl s a gnd gnd      NMOS w=70n l=32n
14
15 *Simulacao Transiente de 20ns com passo de 1ps
16 .tran 1ps 20ns
% 17 * Fim do Arquivo SPICE
17      .end

```


Os modelos aparecem nas linhas 12 e 13, onde Mp1 é o nome dado ao transistor, V_{DD} é a fonte de tensão aplicada ao dreno do transistor pMOS, a é o ponto comum a ambos os *gates* e representa a entrada, s é o ponto comum dos dois *sources* ou fontes dos transistores e representa a saída. Gnd é a fonte de tensão conectada à terra, $w = 140$ nm é a largura e $l = 32$ nm, o comprimento do canal.

Na Figura 27, que apresenta a validação lógica do inversor CMOS, através das formas de onda de entrada e saída do dispositivo, observa-se que o inversor funcionou de forma lógica como esperado, onde a saída "s" é o complemento da entrada "a".



Figura 27 – Validação lógica do Inversor. (Fonte: o autor)

Para se obter os dados necessários ao trabalho, foi acrescentado na saída do inversor CMOS da figura 5 uma fonte de tensão V_{AUX} que aparece na *NetList* a seguir nas linhas 11 e 13 para que através desta fonte auxiliar seja lido o efeito da dupla exponencial. Posteriormente, foi verificado que não havia a necessidade de emprego deste artifício para a medição da corrente e a fonte foi retirada nas demais *Netlists*.

Deve ser levado em consideração o fato de independer neste primeiro momento, de quais valores de tempo, corrente ou tensões são utilizados, uma vez que o mesmo é apenas uma ilustração do que será simulado a seguir.

NetList 4.2 – Simulação Transiente do Inversor CMOS com a dupla exponencial acrescida à sua saída

```
1 *Simula transiente
2 *Incluindo o modelo do Transistor
3 .include 32_HP.mod
4 .param init101=100p
```

```

5 .param init101=600p
6
7 *Declaracao das fontes
8 Valim      vdd gnd 0.9
9 Vin        in  gnd pulse (0 0.9 500p 0.01n 0.01n 500p 1n)
10 *Irad101 s  s1  EXP (0 93u init101 2p 'init101+15p' 10p)
11 *Vaux101 s1  gnd 0
12 Irad010 s2 s   EXP (0 130u init010 2p 'init010+15p' 10p)
13 Vaux010 s2  gnd 0
14
15 *Circuito
16 MpMOS vdd in  s vdd PMOS w=100n l=32n
17 MnMOS s  in  gnd gnd NMOS w=100n l=32n
18
19 * Simulacao Transiente de 1ns com passo de 1ps
20 .tran 1ps 1ns
21 .control
22 run
23 *plot i(Vaux101)
24 plot i(Vaux010)
25 plot in s
26 .endc
27 .end

```

Se faz necessário descrever o parâmetro "init" das linhas 4 e 5 da *Netlist* 4.2 que servirá para definir um ponto no tempo onde se inicia o pulso correspondente à perturbação causada pelo pico de corrente que aqui simula a coleta de carga quando da passagem da partícula pela junção PN e consequente coleta de carga. Nas seções a seguir, o valor de I_2 é variado para que represente valores diferentes de corrente gerada pela captura de carga na incidência de radiação na junção PN. A mesma fonte é utilizada em todos os testes, tendo apenas mudanças de parametrização e da nomenclatura dos termos empregados nela.

4.1.1 Análise 101

Conforme foi descrito na metodologia, foi aplicado ao inversor CMOS da Figura 5 e também validado na seção anterior uma dupla exponencial de acordo com a equação 3.1 que representa o comportamento da perturbação que é causada por uma partícula incidindo nos transistores.

A seguir são ilustradas figuras que mostram o resultado de simulações elétricas onde o valor da corrente I_2 do modelo da dupla exponencial é variado manualmente procurando o valor que será efetivo para a alteração do valor de tensão na saída do inversor.

A análise 101 indica que o estado alto é invertido pela ação do pulso aplicado na simulação passando de 1 para 0 e retornando para 1.

Na Figura 28 percebe-se que, a variação de S causada pela anomalia injetada simulando a incidência de radiação ionizante, não alcança o nível baixo então $Q_{\text{coll}} < Q_{\text{crit}}$.

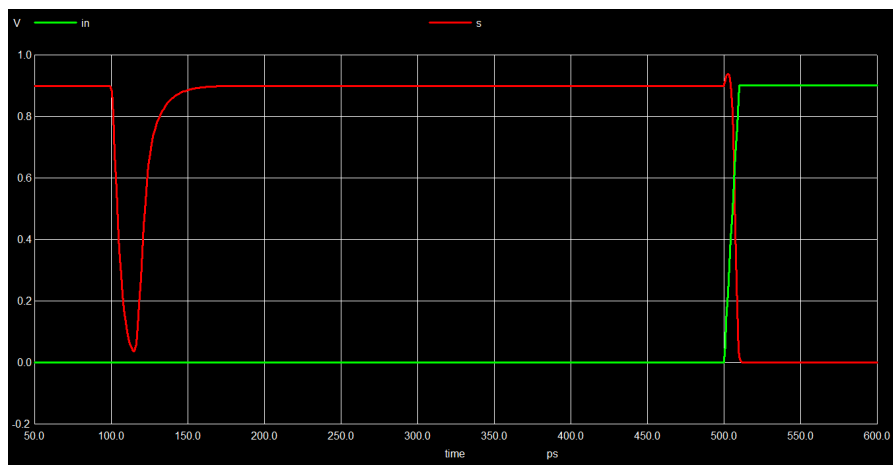


Figura 28 – Resultado da simulação "101" para $I_2 = 90 \mu\text{A}$, proveniente do campo elétrico provocado pelo SET. (Fonte: O autor)

Na Figura 29 percebe-se que a variação de S causada pela anomalia injetada simulando a incidência de radiação ionizante, desta vez alcança o nível baixo (l), ou seja, o sinal de saída é prejudicado pela ação da radiação ionizante, ocorrendo, a princípio um *soft error*.

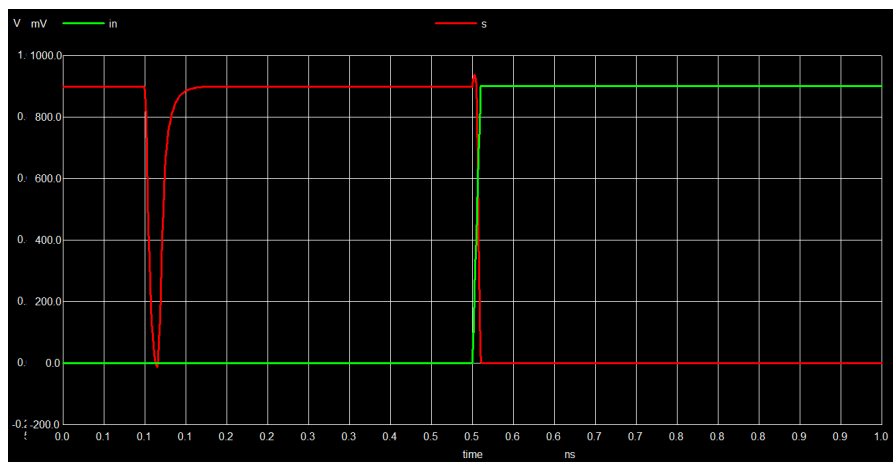


Figura 29 – Resultado da simulação "101" para $I_2 = 93 \mu\text{A}$. (Fonte: O autor)

A partir do que mostra a Figura 30 percebemos que o sinal continua sendo invertido, o que significa que o pico de corrente mínimo cuja perturbação causa uma mudança do sinal de saída de um inversor de V_{DD} para gnd é de $93 \mu A$.

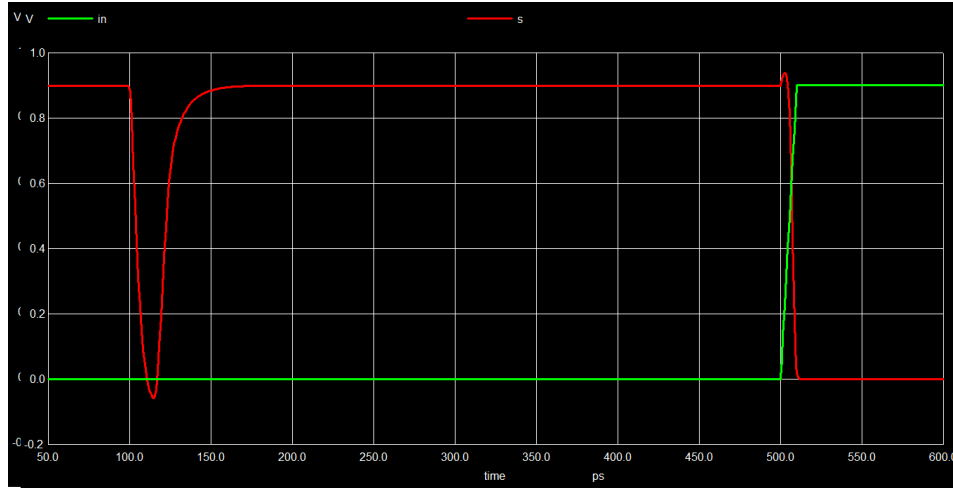


Figura 30 – Resultado da simulação "101" para $I_2 = 96 \mu A$. (Fonte: O autor)

4.1.2 Análise 010

A seguir, foi aplicado em um inversor CMOS uma dupla exponencial que representa o comportamento de uma partícula incidindo nos transistores, agora na situação onde o sinal de saída inicia em 0 ou nível baixo e sobe para nível alto, retornando para o zero.

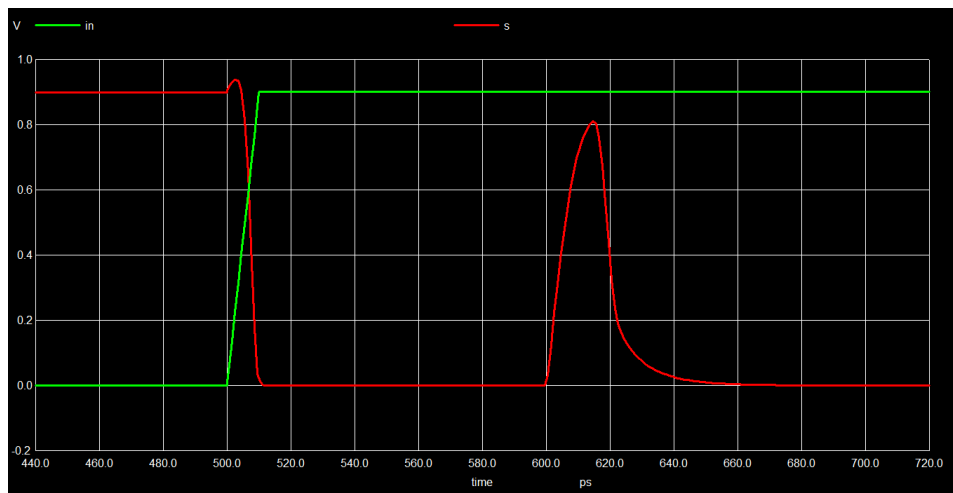


Figura 31 – Resultado da simulação "010" para $I_2 = 127 \mu A$. (Fonte: O autor)

Abaixo são ilustradas figuras que mostram o resultado de três simulações elétricas onde o valor de I_2 é variado.

Percebe-se na Figura 32 que o pico de corrente não permite que seja atingido o valor do nível complementar de tensão que levaria o sinal da saída de 0 à 1.

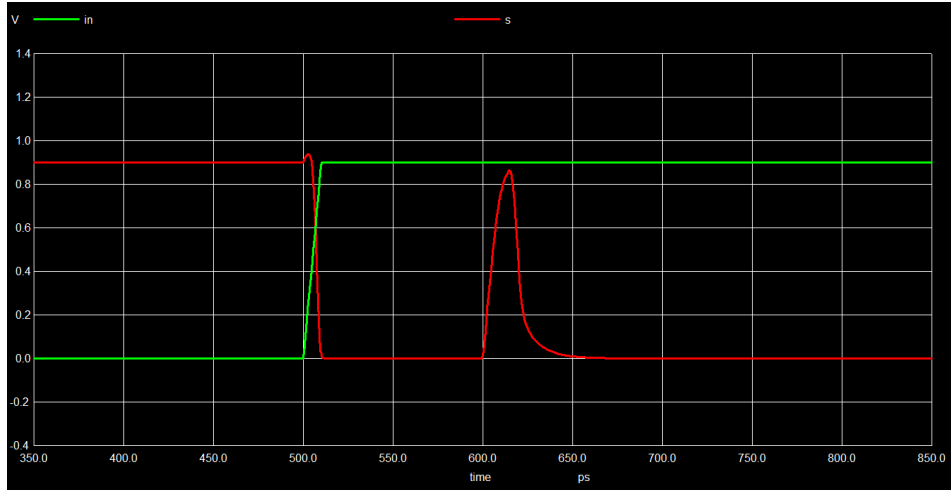


Figura 32 – Resultado da simulação "010" para $I_2 = 130 \mu\text{A}$. (Fonte: O autor)

Na análise da Figura 32 pode-se ver que o pico de corrente ainda não levou a tensão de saída ao outro nível lógico.

O mesmo não ocorre na figura 33, onde com o valor de $133 \mu\text{A}$, a tensão de saída alcança nível maior que os 900 mV da alimentação do circuito.

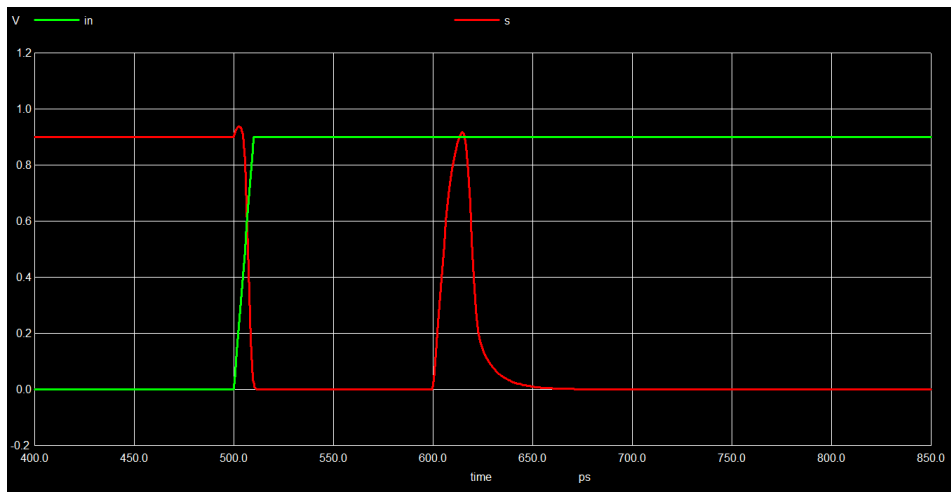


Figura 33 – Resultado da simulação "010" para $I_2 = 133 \mu\text{A}$. (Fonte: O autor)

A partir das Figuras é possível concluir que o pico de corrente mínimo cuja perturbação causa a mudança do sinal de saída do inversor de gnd para V_{DD} será maior que 130 e menor que $133 \mu\text{A}$.

Como se vê nas análises anteriores, o pico de corrente observado foi diferente em cada uma das simulações. Isso deve-se ao fato dos transistores PMOS e NMOS terem condutividades diferentes e nos casos estudados aqui, terem sido descritos com o mesmo dimensionamento. Em outras palavras, o transistor PMOS, que tem as lacunas como portadores majoritários, possui uma capacidade de corrente menor

que o transistor NMOS com os elétrons como portadores majoritários. Por terem o mesmo tamanho, ou seja, um W igual a 100 nm, a capacidade de restauro da perturbação 101 é menor do que a 010 e portanto o pico de corrente da perturbação 101 é menor do que da perturbação 010 como pode ser verificado nos gráficos.

Desta forma, o valor de Q_{coll} (carga coletada) depende de uma combinação complexa de fatores como visto em (BAUMANN, 2005) e observado nas comparações acima, podendo ser enumerados como:

- o tamanho do dispositivo,
- polarização dos vários nós do circuito,
- estrutura do substrato,
- dopagem do dispositivo,
- tipo de íon,
- a energia do íon,
- a trajetória do íon,
- a posição inicial do evento dentro do dispositivo e
- o estado do dispositivo.

Assim, a sensibilidade do dispositivo a esse excesso de carga é definida

- pela capacitância do nó,
- pela tensão de operação e
- pela capacidade dos transistores de realimentação.

Todas essas informações definem a quantidade de carga crítica (Q_{crit}) necessária para desencadear uma mudança no estado dos dados, gerando uma resposta dinâmica e dependente da magnitude e do tempo de existência do pulso. Não há uma Q_{crit} constante, mas dependente das características do pulso de radiação e da resposta dinâmica do circuito, o que, como visto anteriormente, torna o efeito difícil de modelar (DODD; SEXTON, 1995).

Dessa forma, um *soft error* será induzido quando um evento de radiação ocorre perto o suficiente de um nó sensível de forma que $Q_{\text{coll}} > Q_{\text{crit}}$. Por outro lado, se o evento resultar em um $Q_{\text{coll}} < Q_{\text{crit}}$, então não ocorrerá nenhum *soft error*.

4.2 Validação do Flip-Flop D Master-Slave

Da mesma forma com que foi apresentado no item anterior o modelo do Inversor CMOS, aqui mostra-se como é configurado, descrito e validado o Flip-Flop. Na figura 34 é apresentado o esquemático utilizando transistores MOS de um Flip-Flop tipo D, na configuração *Master-Slave*, sensível a borda de subida, que foi visto de forma resumida na figura 16.

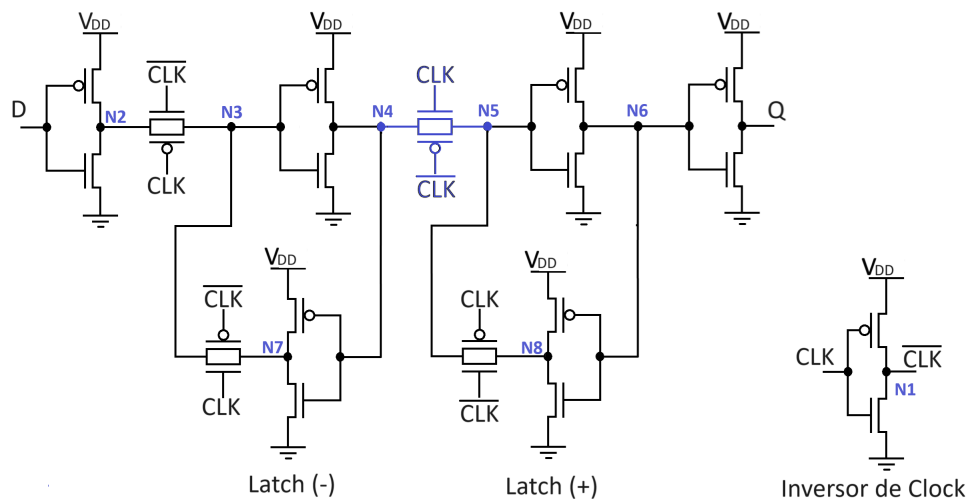


Figura 34 – Esquema do FFDMS. Fonte: (o autor)

A seguir temos a *Netlist* 4.3 do Flip-Flop tipo D, na configuração *Master-Slave*, sensível a borda de subida, que foi visto de forma resumida na figura 16.

NetList 4.3 – Simulação do Flip-Flop D MS sensível a borda de subida.

```

1* Simulacao FLIP-FLOP D
2*****
3* Inclusao do modelo
4*****
5 .include 32_HP.mod
6 *****
7* Declaracao das fontes
8*****
9      VDD vdd gnd 0.9
10     VCLK clk gnd pulse (0 0.9 250p 10p 10p 240p 500p)
11     VD D gnd pulse (0 0.9 350p 10p 10p 990p 2n)
12*****
13* Circuito Latch D Sensivel ao nivel baixo (-)

```

```

14*****
15*Inversor D-N2
16      MpMOS1 vdd  D      N2      vdd PMOS w=200n l=32n
17      MnMOS1 gnd  D      N2      gnd NMOS w=100n l=32n
18
19*transmission gate N2-N3
20      MpMOS2 N2   CLK    N3      vdd PMOS w=200n l=32n
21      MnMOS2 N2   N1     N3      gnd NMOS w=100n l=32n
22
23*transmission gate N7-N3
24      MpMOS7 N7   N1     N3      vdd PMOS w=200n l=32n
25      MnMOS7 N7   CLK    N3      gnd NMOS w=100n l=32n
26
27*Inversor N3-N4
28      MpMOS3 vdd  N3     N4      vdd PMOS w=200n l=32n
29      MnMOS3 gnd  N3     N4      gnd NMOS w=100n l=32n
30
31*Inversor N4-N7
32      MpMOS8 vdd  N4     N7      vdd PMOS w=200n l=32n
33      MnMOS8 gnd  N4     N7      gnd NMOS w=100n l=32n
34
35*****
36*transmission gate N4-N5
37*****
38      MpMOS4 N4   N1     N5      vdd PMOS w=200n l=32n
39      MnMOS4 N4   CLK    N5      gnd NMOS w=100n l=32n
40
41*****
42* Circuito Latch D Sensível ao nível alto (+)
43*****
44*transmission gate N8-N5
45      MpMOS9 N8   CLK    N5      vdd PMOS w=200n l=32n
46      MnMOS9 N8   N1     N5      gnd NMOS w=100n l=32n
47
48*Inversor N5-N6
49      MpMOS5 vdd  N5     N6      vdd PMOS w=200n l=32n
50      MnMOS5 gnd  N5     N6      gnd NMOS w=100n l=32n
51
52*Inversor N6-N8

```



```

53      MpMOS10  vdd    N6    N8    vdd PMOS w=200n l=32n
54      MnMOS10  gnd    N6    N8    gnd NMOS w=100n l=32n
55
56*****
57*Inversor  clock
58*****
59      MpMOS0   vdd    CLK    N1    vdd PMOS w=200n l=32n
60      MnMOS0   gnd    CLK    N1    gnd NMOS w=100n l=32n
61
62*****
63*PARAMETROS
64*****
65      .tran 0.1ps 6ns
66      .control
67      run
68      plot clk+9 N1+8 D+7 N2+6 N3+5 N4+4 N5+3 N6+2 N7+1 N8
69      .endc
70.end

```

Na *NetList* pode-se observar o modelo do FFDMS CMOS, de modo a apresentar os inversores e os *transmission gates*, utilizados para formar os modelos a partir do latch sensível ao nível baixo, representado da linha 13 a linha 33 e do latch sensível ao nível alto, que aparece da linha 36 a linha 54.

A Figura 35 apresenta a validação lógica do Flip-Flop utilizado neste trabalho em formas de onda representando os sinais de clock, dados, e todos os nós do circuito da figura 34. Nela, não é aplicada dupla exponencial a nenhum nó, mostrando os sinais idealmente estipulados, desta forma, dependendo dos sinais do vetor de entrada e do nó analisado, teremos variações a cada borda do sinal de clock.

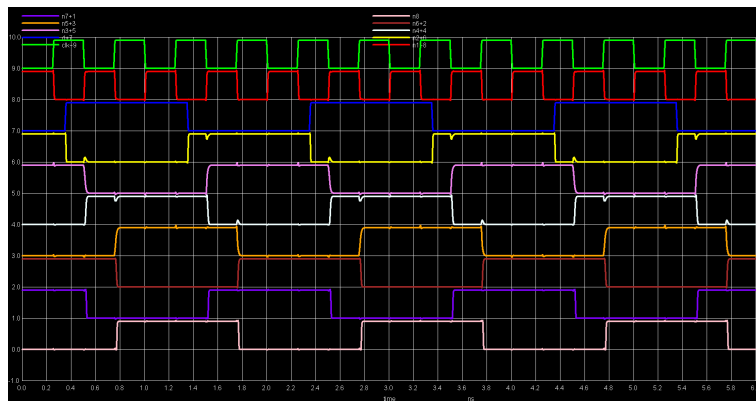


Figura 35 – Validação lógica do FFDMS sensível a borda de subida. (Fonte: o autor)

A figura 36 traz a representação das cores utilizadas nas formas de onda para facilitar a visualização nos gráficos e é padronizado para todas as plotagens.



Figura 36 – Identificação com cores das formas de onda. (Fonte: o autor)

Na figura pode ser vista também a representação das respostas do circuito Flip-Flop D MS sem nenhum tipo de interferência ou em níveis que pudessem provocar alteração da resposta do sistema. No Apêndice 4.2.2 serão mostradas as figuras que sofrem com a aplicação da dupla exponencial de (MESSENGER, 1982). Neste Apêndice a legenda de cada imagem indica, o vetor, ou seja, os estados das entradas clock e dados, o nó de aplicação (N), a amplitude da dupla exponencial (μA), o momento em que esta é aplicada e o formato esperado do sinal. A partir deste formato do sinal (que pode ser nhit ou phit) identifica também as junções PN que estão sendo transpassadas pela partícula.

Não serão tratados neste primeiro momento os tempos, atrasos e amplitudes dos sinais, uma vez que apenas se faz necessário demonstrar os impactos causados pela radiação. Julgou-se suficiente construir um circuito e um conjunto de gráficos que nos permitam visualizar o funcionamento dos dispositivos e os efeitos da radiação sobre os mesmos.

4.2.1 Aplicação da dupla exponencial

Um *bitflip* é a inversão acidental do estado lógico de um bit (de 0 para 1 ou de 1 para 0) em um circuito CMOS, causada por um SEU (single event upset) pela interação de partículas ionizantes com o material semiconductor que gerará correntes transientes modificando a informação armazenada temporariamente.

Como pode ser verificado na seção metodologia; os sinais de entrada, o circuito e as suas interações causavam a susceptibilidade das junções PN frente as influências da radiação. De posse das fontes de corrente dupla exponencial citadas em (MESSENGER, 1982) e propostas em sua formatação em (BLACK et al., 2015) para cada vetor, ou seja, cada combinação de sinais de entrada, em que pese, clock=dados=0; clock=0, dados=1; clock=1, dados=0 e clock=dados=1 foram aplicados os sinais para cada nó do circuito.

Ao todo, foram obtidos 50 diferentes resultados mostrados nos gráficos do Apêndice 4.2.2. Analisando os gráficos podemos verificar que existem diferentes valores de corrente, ou seja, da amplitude da dupla exponencial, aplicados aos nós para se obter o efeito de bitflip. Alguns desses resultados foram selecionados e serão

mostrados a seguir, identificando cada caso exemplificado (o vetor, o nível de corrente e etc.) Os critérios de escolha das imagens selecionadas aqui para os comentários envolvem o tempo de manutenção do *bitflip*, efeito nos sinais das saídas adjacentes e níveis de corrente.

Para iniciar o processo de elucidação dos efeitos pode-se lançar mão já do primeiro teste feito, onde em uma aplicação dos valores 0 e 0 nas entradas de clock e dados, respectivamente (vetor de entrada) podemos verificar que, aplicada uma dupla exponencial de amplitude $205\ \mu\text{A}$ ao nó N1, representada pela linha vermelha no gráfico, localizada na saída do inversor do sinal de clock, não se verifica nenhuma mudança significativa em nenhum outro ponto do circuito da figura 37

Isso ocorre em todos os vetores, uma vez que o nó N1 traz o sinal de clock invertido para o acionamento das *transmission gates* e a variação que poderia ocorrer só se verificaria se o sinal anterior desta *transmission gate* variasse provocando assim um evento em cascata levando esta transição indevida de sinal a outras partes do circuito.

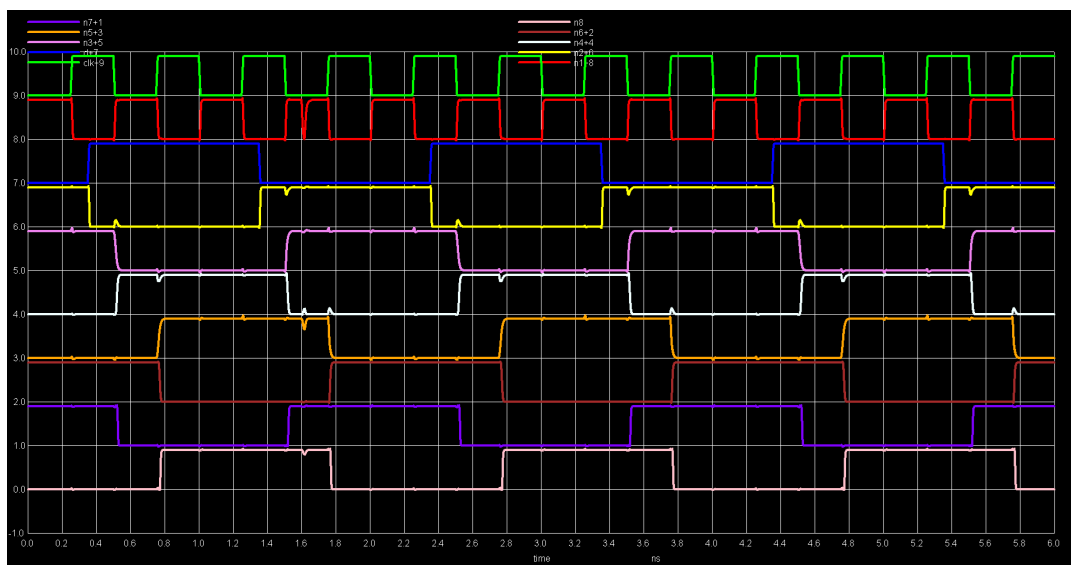


Figura 37 – Resultado da aplicação de uma dupla exponencial de amplitude $205\ \mu\text{A}$ ao nó N1 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Neste teste a corrente aplicada de $205\ \mu\text{A}$ é o valor máximo para que não houvesse extrapolação do valor da tensão de 0,9 V (considerada para o modelo CMOS utilizado) o que poderia ser destrutivo para o componente e como narrado anteriormente, neste trabalho são considerados apenas os resultados transientes.

Uma corrente um pouco maior é aplicada como dupla exponencial de (MESSENGER, 1982) sob o mesmo vetor de entrada (00) só que agora sobre o nó N2. É possível perceber que no tempo de 1600 ps do gráfico, a corrente de $250\ \mu\text{A}$ provoca uma mudança ou *bitflip* no sinal captado neste nó, representado pela linha amarela

no gráfico da figura 38 o que acaba por provocar mudanças que se alastram pelos nós N3, N4 e N7, uma vez que como pode ser visto na figura 34 interligam apenas inversores do circuito, desta forma, passando o sinal alterado. Este bloqueio só se dá nos momentos onde o sinal de clock é invertido em relação aos controles da *transmission gate*.

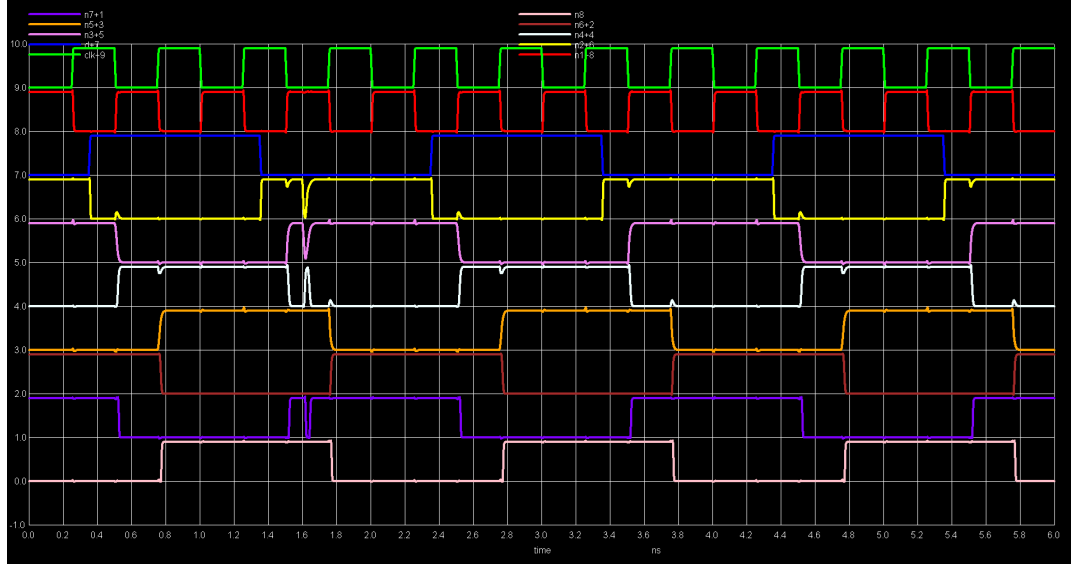


Figura 38 – Resultado da aplicação de uma dupla exponencial de amplitude $250 \mu\text{A}$ ao nó N2 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

O sinal adequado à passagem de cada sinal através da *transmission gate* permite interferência no sinal mesmo no nó anterior ao ponto de aplicação da dupla exponencial, como pode ser visto na figura 39 a qual representa agora a aplicação da

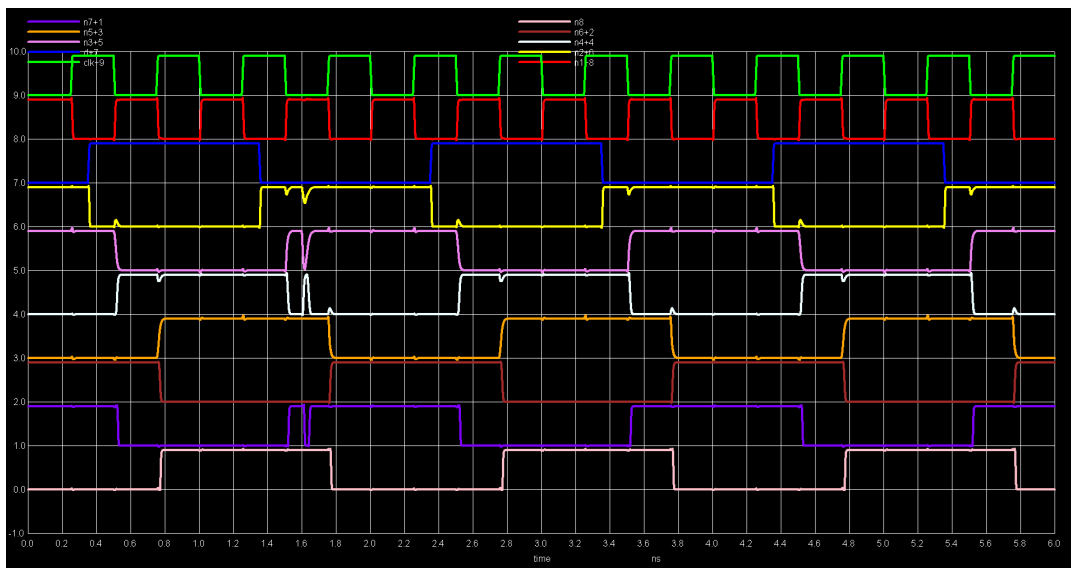


Figura 39 – Resultado da aplicação de uma dupla exponencial de amplitude $150 \mu\text{A}$ ao nó N3 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

dupla exponencial ao nó N3, ainda sob o mesmo vetor (00) de entrada. Isto pode ser visto com a alteração provocada no nó N2 em amarelo no gráfico no mesmo momento em que é aplicado o sinal ao nó N3. Isto se dá justamente pela falitação da passagem dos sinais via *transmission gate* quando esta recebe os sinais de clock adequados, que a colocam em condução.

A seguir, temos duas particularidades que merecem ser analisadas e verificadas nos gráficos.

Dentro dessas particularidades, analisemos a primeira: que traz a aplicação da dupla exponencial no nó N4 com o valor de $170 \mu\text{A}$ em 1600 ps.

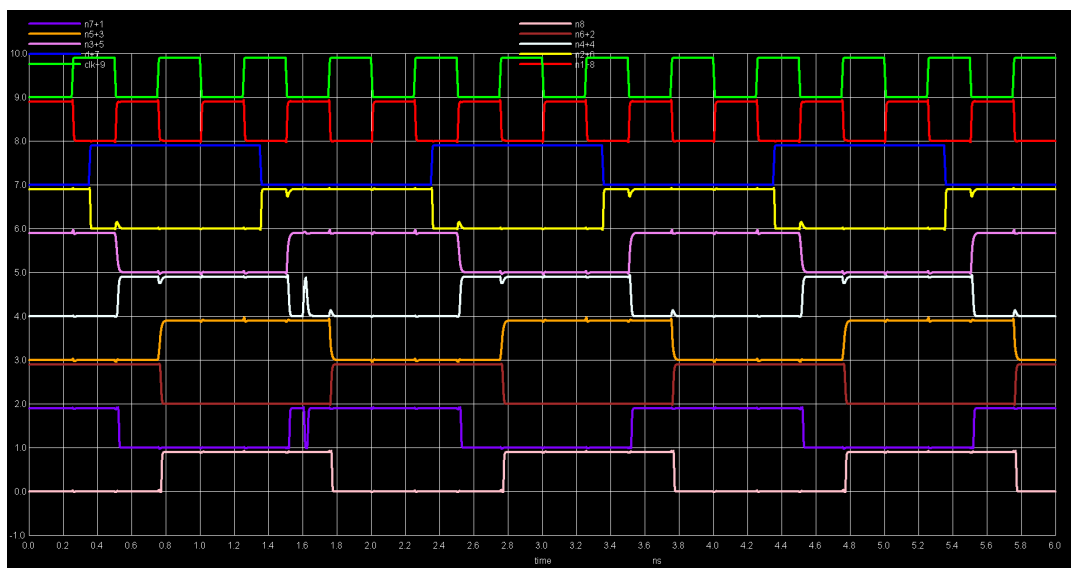


Figura 40 – Resultado da aplicação de uma dupla exponencial de amplitude $170 \mu\text{A}$ ao nó N4 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Como pode ser visto no gráfico, o nó N4, representado pela linha branca, quando submetido à dupla exponencial só provoca interação no nó N7. Isso ocorre pois no nó N4 há uma ligação a entrada do inversor que tem como saída o nó N7, não exigindo nenhum tipo de controle ou ação provocada pelos vetores de entrada. Ao nó N4 também está ligada a *transmission gate* que representa a entrada do latch (+) que compõe o Flip-Flop aqui estudado. Como esta *transmission gate* não permite passagem de sinal nos vetores que tem clock com nível baixo, podemos dizer que o nó N4 oferece uma robustez maior que os outros em relação a este caso de aplicação da interferência, pois apenas em alguns casos particulares haverá a transmissão do sinal modificado para o restante do circuito.

Passemos agora a uma análise da aplicação da dupla exponencial ao nó N5: Em um primeiro momento é preciso estar a par de que um evento de SEU a partir do nó N5 leva esta anomalia do sinal até os nós N6 e N8, como pode ser visto na figura 41 onde foi aplicada dupla exponencial com amplitude de $78,18 \mu\text{A}$ em 1600

ps, e se as entradas estiverem em zero (clock e dados), haverá um retorno deste sinal até o nó N5 pela *transmission gate* entre os nós N8 e N5 (vide figura 34).

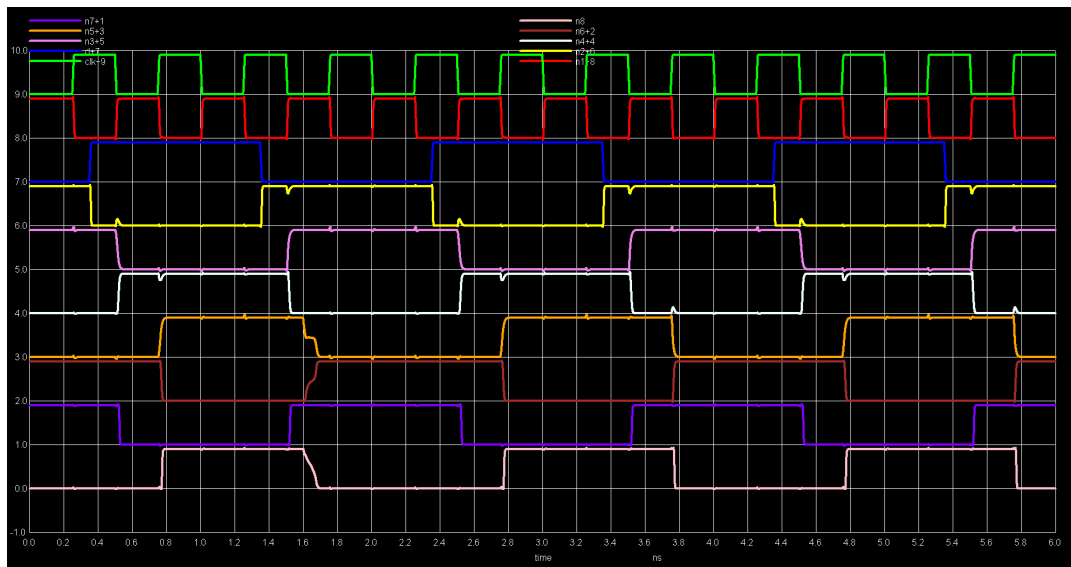


Figura 41 – Resultado da aplicação de uma dupla exponencial de amplitude 78,18 μA ao nó N5 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Como visto na seção 3 foram ressaltadas ou citadas as junções PN dos transistores que são efetivamente sensíveis ao atingimento de partículas de radiação (nhit e phit) que aparecem na tabela 2 e ilustrados pelas figuras do Apêndice C. Como em diversos outros casos mostrados aqui, haverá a necessidade de um segundo sinal, pois a presença da *transmission gate* que impede a passagem de qualquer sinal quando os sinais de clock e dados não a ajustam para o contrário, há de se testar com outro valor que possa estar chegando ao nó em questão, vindo do armazenamento característico do Flip-Flop. Como para cada sinal de entrada, uma saída contrária é gerada em um inversor e desta forma cada caso tornará uma junção PN sensível, ou seja, para um sinal alto na entrada do inversor, teremos uma saída em sinal baixo, o que provoca a sensibilização de uma junção PN no transistor pMOS (phit), do contrário, a sensibilização ocorrerá em uma junção PN do transistor nMOS (nhit) do inversor.

Desta forma, se considerarmos um sinal de nível alto vindo do armazenamento do latch (-) teremos um aumento do tempo de permanência da anomalia, uma vez que teríamos a possibilidade de manter o bitflip ocasionado pelo phit por mais tempo implicando na grande largura do pulso resultante nos nós N5, N6 e N8 da figura 42.

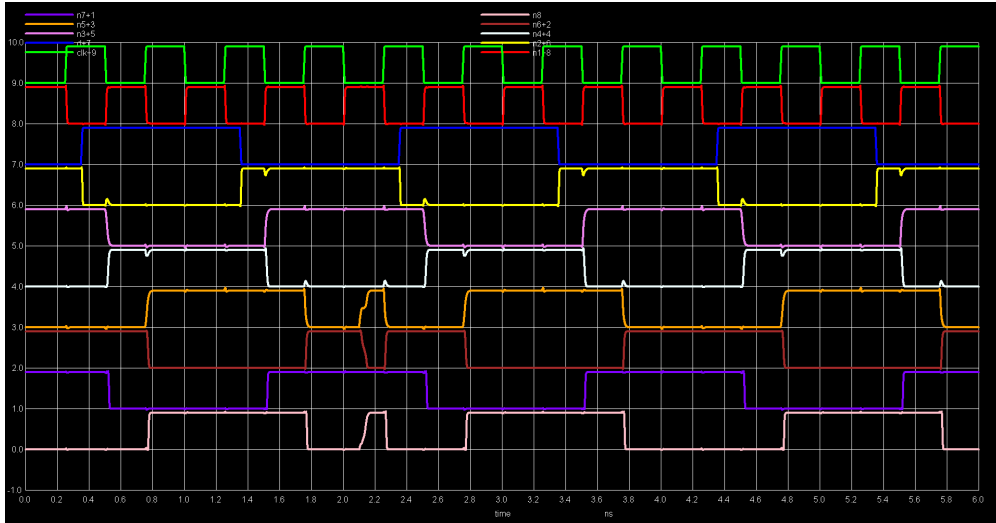


Figura 42 – Resultado da aplicação de uma dupla exponencial de amplitude $79 \mu\text{A}$ ao nó N4 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Resumindo o caso anteriormente citado, é preciso considerar duas entradas possíveis para o nó N5, uma vez que a parte anterior do circuito armazena valores que acarretarão diferenças à esses sinais como foi visto nas figuras 41 e 42. Esse tipo de evento também pode ser percebido com os efeitos enumerados na tabela 2. A tabela foi produzida a partir da análise do circuito, justamente considerando a condição de armazenamento e da ação de cada *transmission gate* frente aos sinais de clock e $\overline{\text{clock}}$.

Analisando o circuito da figura 34, percebe-se que a condição do nó N6 é de dependência dos sinais vindos do latch (-) passando pelo nó N5, como pode ser visto na figura 43.

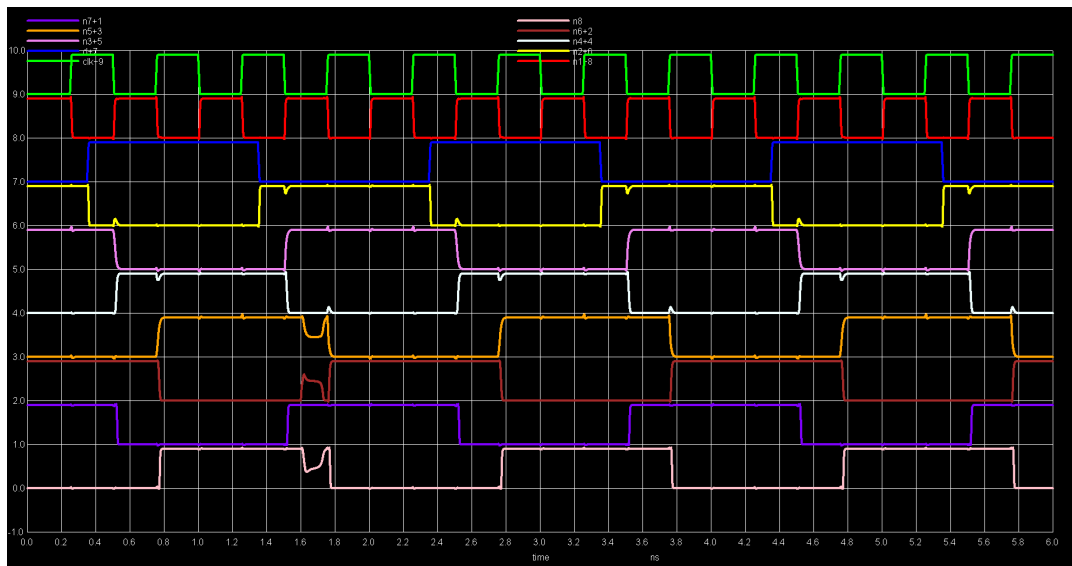


Figura 43 – Resultado da aplicação de uma dupla exponencial de amplitude $124 \mu\text{A}$ ao nó N6 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Com todas as alterações mostradas e explicitadas para o nó N5, é de se esperar que o mesmo aconteça com o nó 6, mas com sinais invertidos, uma vez que entre os nós N5 e N6 há um inversor CMOS, visto na figura 44.

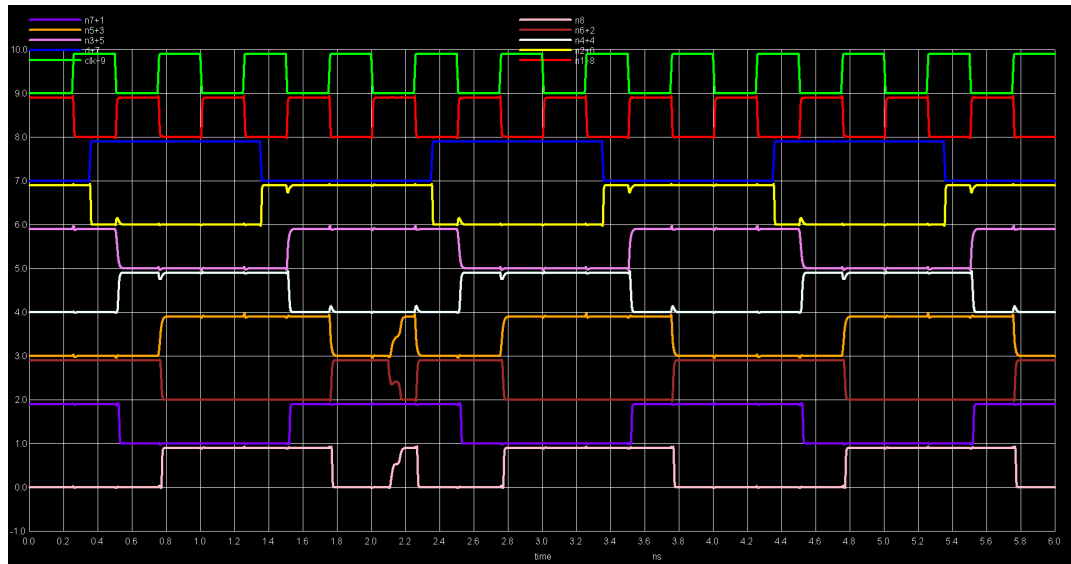


Figura 44 – Resultado da aplicação de uma dupla exponencial de amplitude 139,5 μA ao nó N6 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Há uma alteração visível no formato das ondas do nó N6 em relação ao nó N5, uma vez que os valores de corrente aplicados na dupla exponencial são bastante diferentes, pois dados os trajetos, para que se possa ter uma reação no valor da tensão nos nós do circuito, as corrente precisam aumentar e dependendo da situação das situações de ativação das *transmission gates*, não haverá o reforço do sinal como foi facilmente percebido no nó N5.

Todas as informações prestadas após o nó N4, envolvem os casos referentes ao que ocorre no latch (+). Retornemos agora para o latch (-) até o nó N7 (ver figura 34).

É possível perceber na figura 45 que mesmo com a aplicação de uma considerável quantidade de corrente na dupla exponencial, há de se ressaltar que os valores de amplitude precisam ser controlados para que não se extrapole o valor de tensão sobre os componentes, nada ocorre de alteração nos sinais posteriores ao nó. Isso se dá pela ação da *transmission gate* entre N7 e N3 que impede a passagem do sinal.

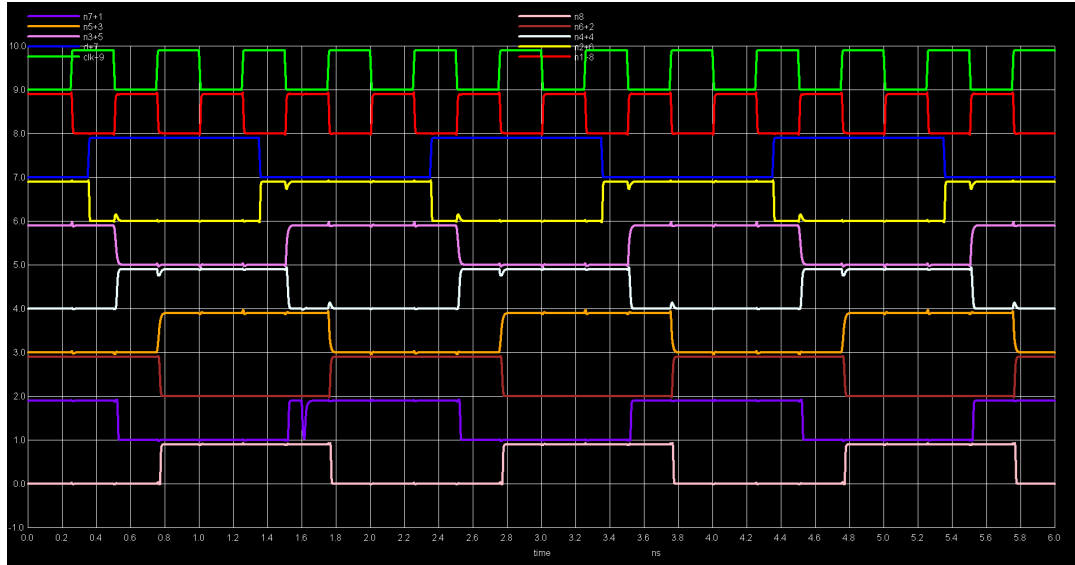


Figura 45 – Resultado da aplicação de uma dupla exponencial de amplitude $198 \mu\text{A}$ ao nó N7 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Na figura 46 podemos observar um sinal de $177,5 \mu\text{A}$ no momento 1600 ps no nó N8 (nhit). Vemos que o sinal nos nós N5 e N6 também se altera, uma vez que a *transmission gate* entre os nós N8 e N5 está habilitada pelo sinal de clock baixo e o sinal alto do nó N1.

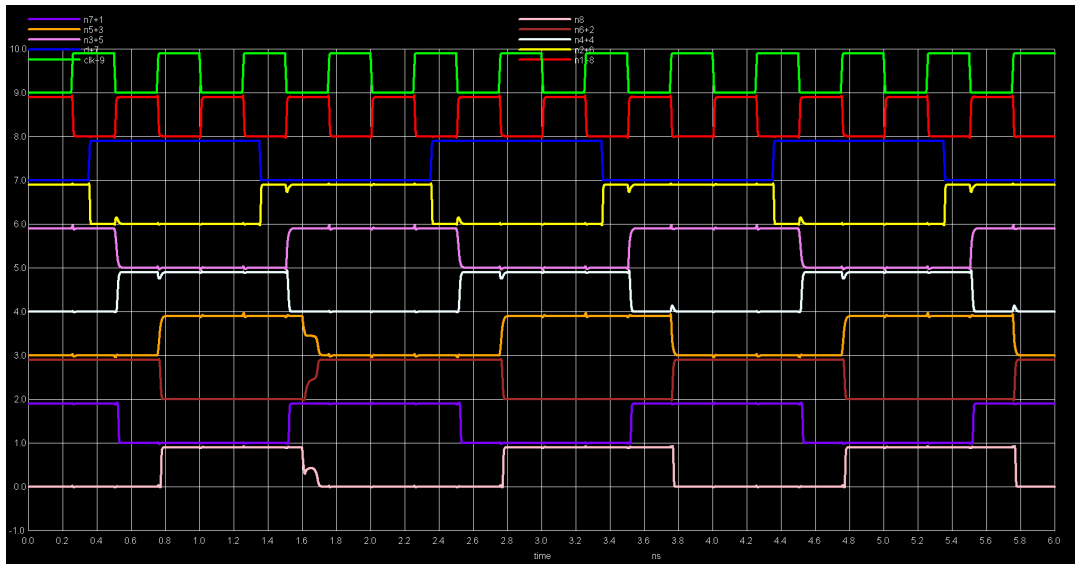


Figura 46 – Resultado da aplicação de uma dupla exponencial de amplitude $177,5 \mu\text{A}$ ao nó N8 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Algo semelhante ocorre na figura 47 só que nela, com phit; em 2100 ps, o sinal se mantém e sofre ainda um reforço de nível quando há a mudança do nível do sinal de clock trazendo o novo sinal pelo caminho da realimentação através da *transmission gate* entre os nós N8 e N5.

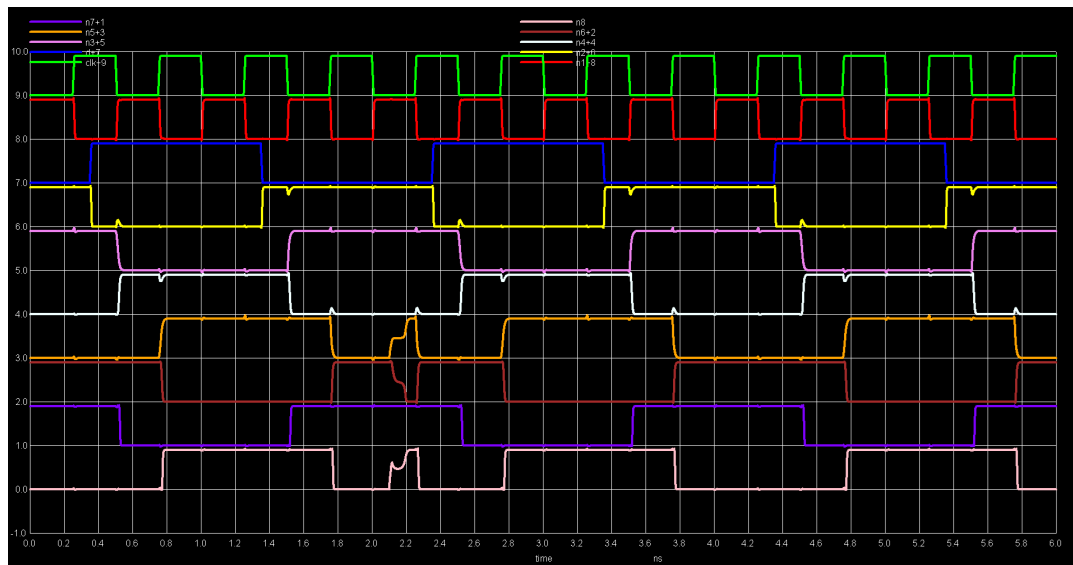


Figura 47 – Resultado da aplicação de uma dupla exponencial de amplitude 150,4 μA ao nó N8 com vetor de entrada clock=0 e dados=0. (Fonte: o autor)

Todos os fatos listados até aqui são relativos aos sinais produzidos apenas com o vetor clock=dados=0 (0,0). Os outros casos ou outras influências da radiação no circuito da figura 34 são semelhantes, mas ocorrem em condições diferentes de entradas e tempo, e obviamente, resultando em valores de correntes diferentes.

Ao produzir esta elucidação de fatos, escolhendo apenas um vetor para análise e discussão detalhada, e a partir dos efeitos e causas, neste vetor, demonstrando o mecanismo de influência da dupla exponencial nas simulações, tem-se como objetivo tornar mais simples o entendimento dos experimentos e resultados para as outras condições.

Na sequência, são mostradas todas as formas de onda obtidas com a aplicação da dupla exponencial nos vários nós do circuito com os vetores 00, 01, 10 e 11 e posteriormente a tabela 3

4.2.2 Gráficos das Respostas à exposição do Flip-Flop às Duplas Exponenciais nos demais vetores.

A figura 35 mostrou a representação das respostas do circuito Flip-Flop D MS sem nenhum tipo de interferência ou em níveis que pudessem provocar alteração da resposta do sistema. A partir daqui, serão mostradas as figuras que sofrem com a aplicação da dupla exponencial de (MESSENGER, 1982). Na legenda de cada imagem pode ser visto, o vetor, ou seja, os estados das entradas clock e dados, o nó de aplicação (N), a amplitude da dupla exponencial (μA), o momento em que esta é aplicada (ps) e o formato esperado do sinal que pode ser nhit ou phit. A partir deste

formato do sinal identifica-se também as junções PN que estão sendo transpassadas pela partícula.

4.3 Vetor 01 - clock= 0; dados=1

Nesta seção são mostrados os gráficos com a resposta à aplicação da dupla exponencial de (MESSENGER, 1982) para o vetor 01, ou seja, quando o sinal de clock é igual a zero e o sinal de dados é igual a um.

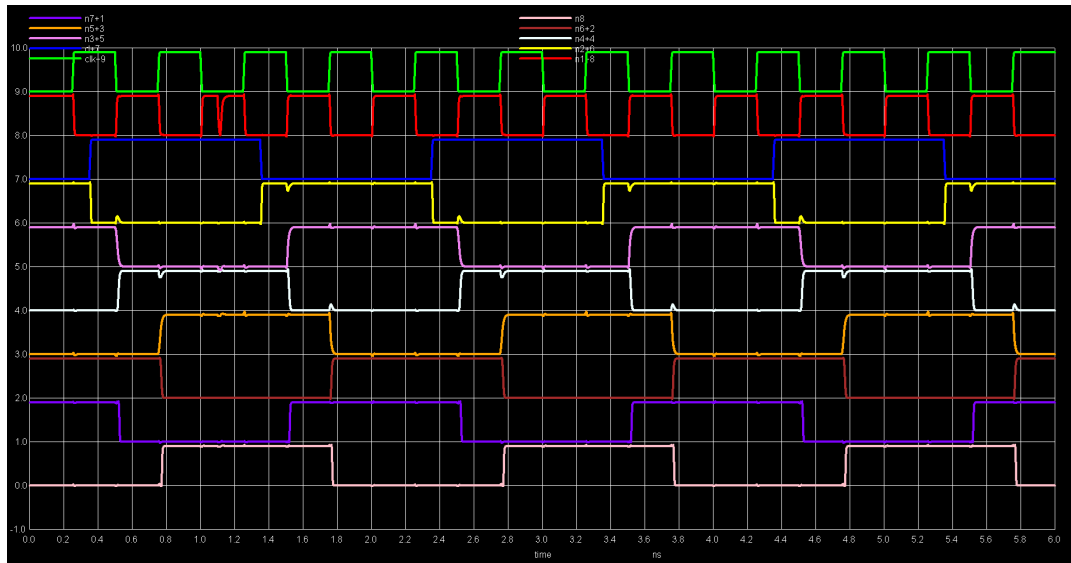


Figura 48 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N1, corrente=206 μA , tempo=1100ps, formato=nhit. (Fonte: o autor)

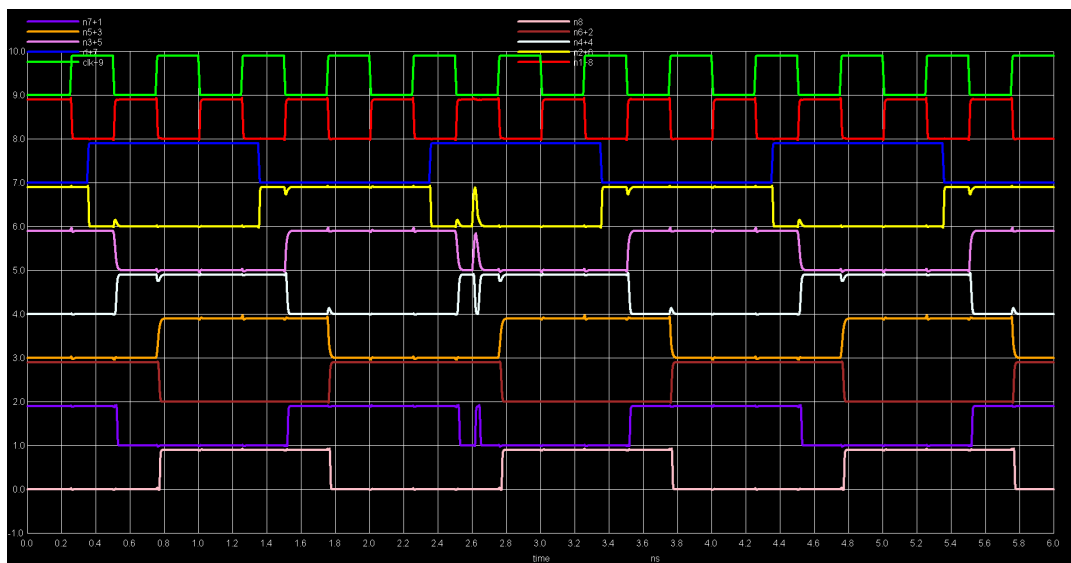


Figura 49 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N2, corrente=205 μA , tempo=2600ps, formato=phit. (Fonte: o autor)

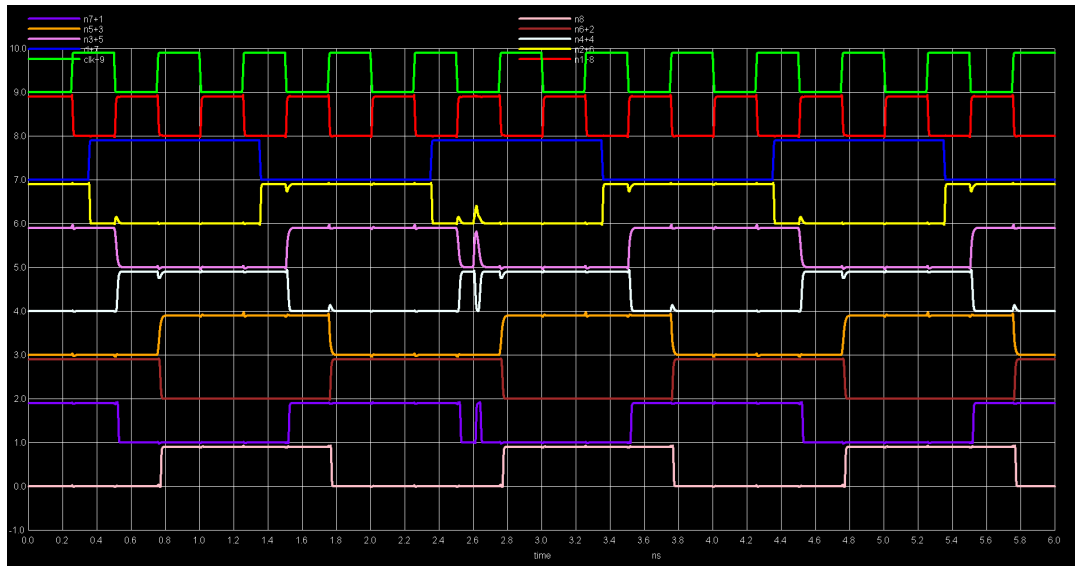


Figura 50 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N3, corrente=140 μA , tempo=2600ps, formato=phit. (Fonte: o autor)

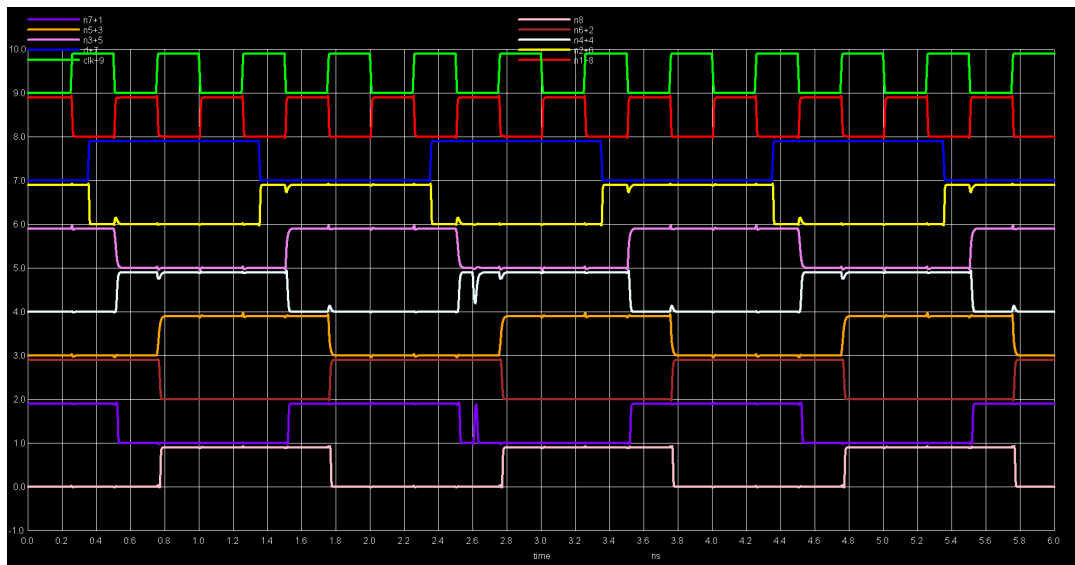


Figura 51 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N4, corrente=190 μA , tempo=2600ps, formato=nhit

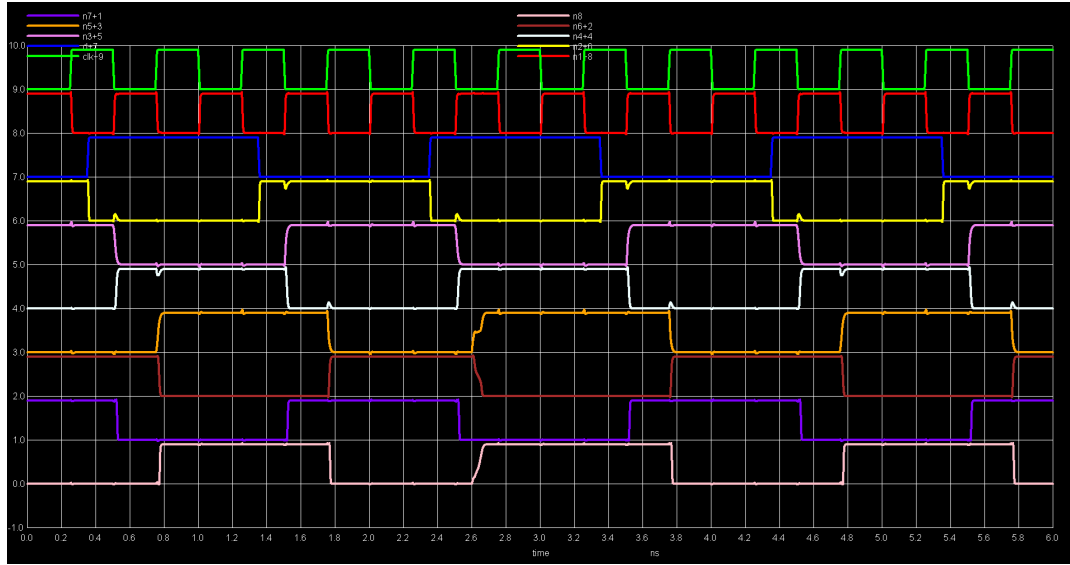


Figura 52 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N5, corrente= $78,7 \mu\text{A}$, tempo=2600ps, formato=phit. (Fonte: o autor)

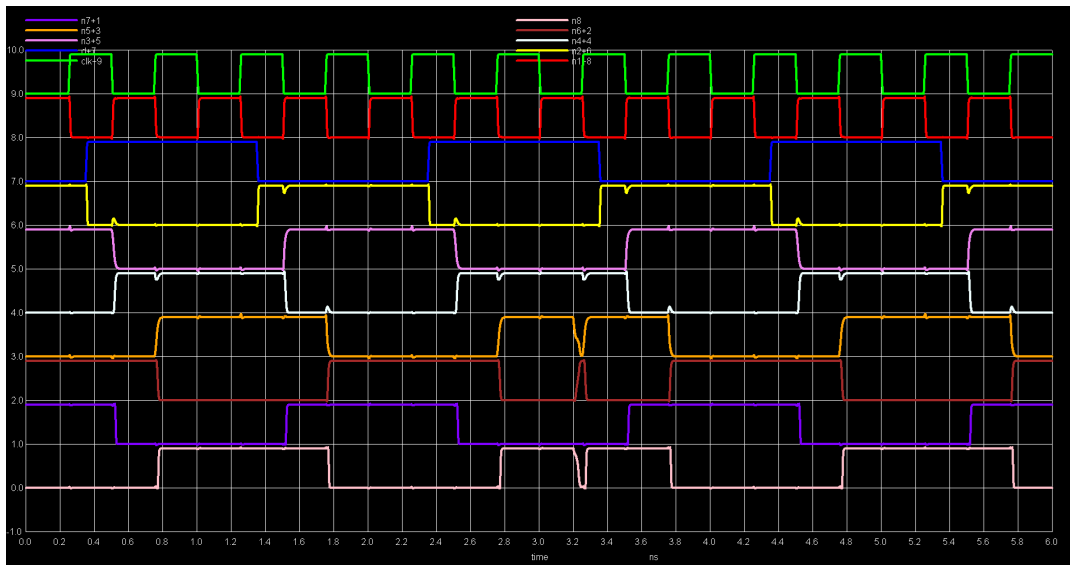


Figura 53 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N5, corrente= $80,1 \mu\text{A}$, tempo=3200ps, formato=nhit. (Fonte: o autor)

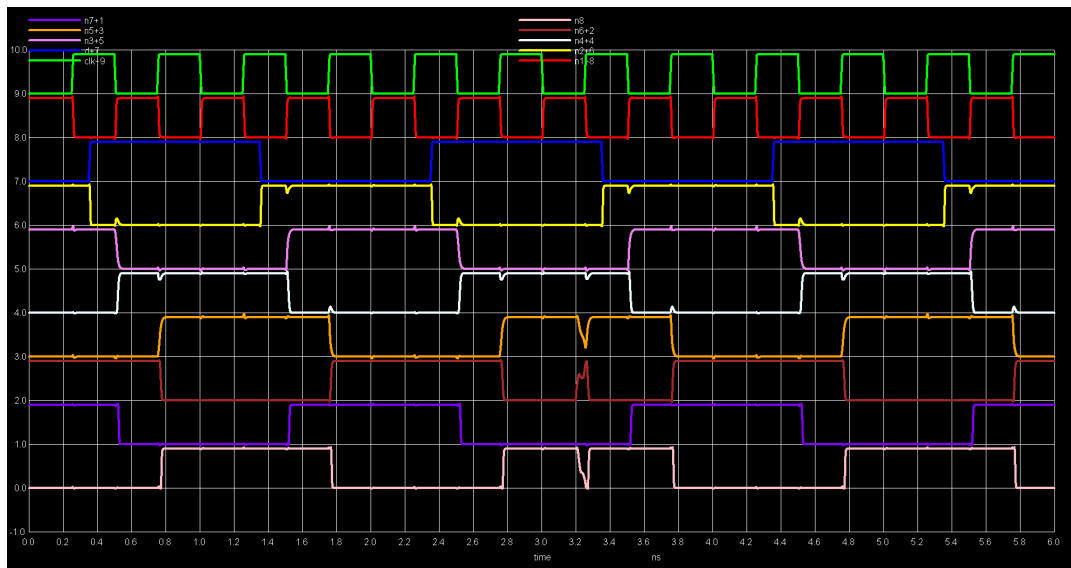


Figura 54 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N6, corrente=124,2 μA , tempo=3200ps, formato=nhit. (Fonte: o autor)

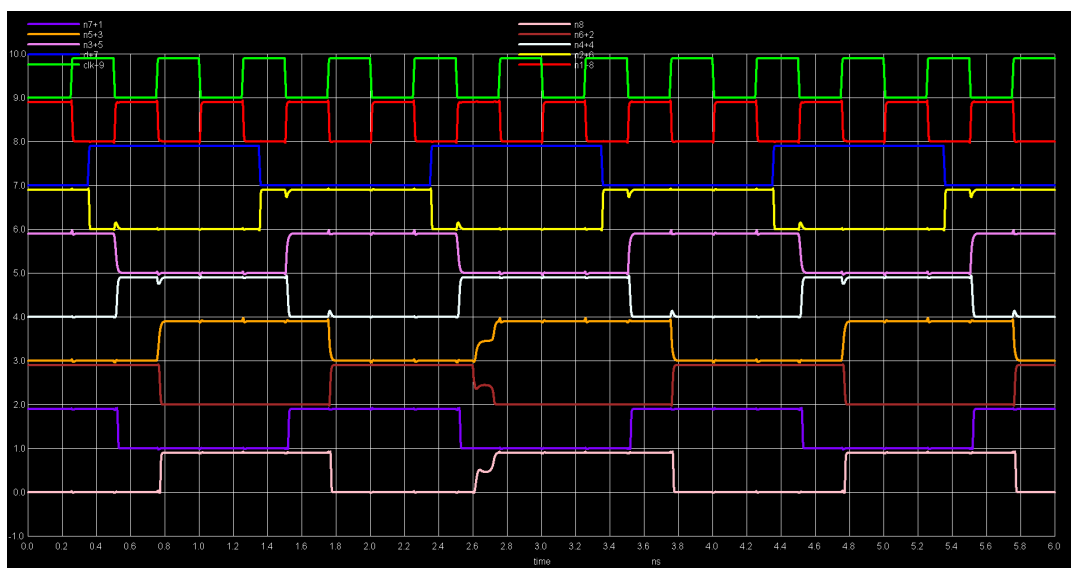


Figura 55 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N6, corrente=139,39 μA , tempo=2600ps, formato=nhit. (Fonte: o autor)

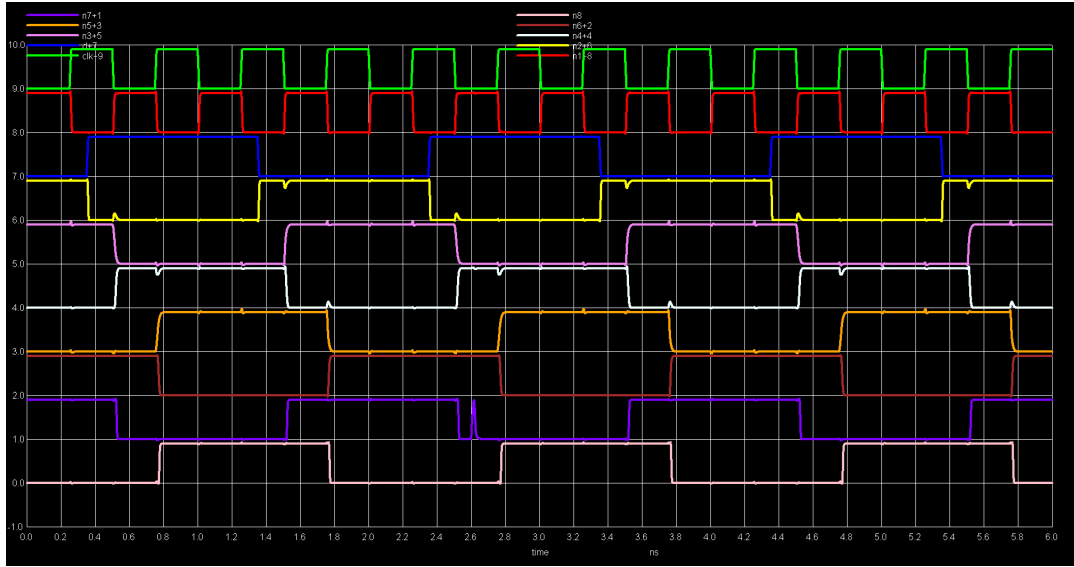


Figura 56 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N7, corrente=148,5 μA , tempo=2600ps, formato=phit. (Fonte: o autor)

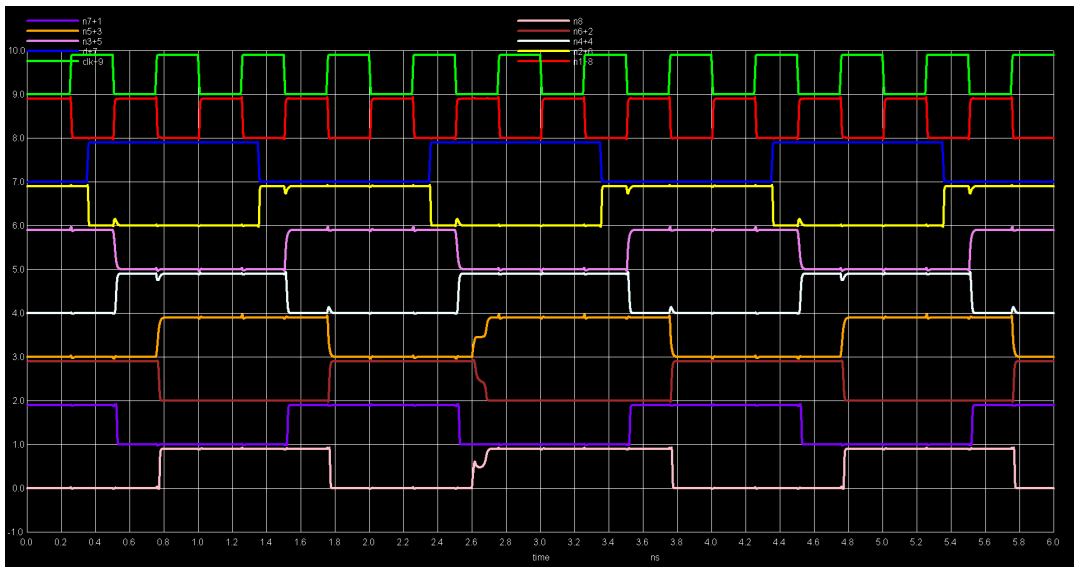


Figura 57 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N8, corrente=150,5 μA , tempo=2600ps, formato=phit. (Fonte: o autor)

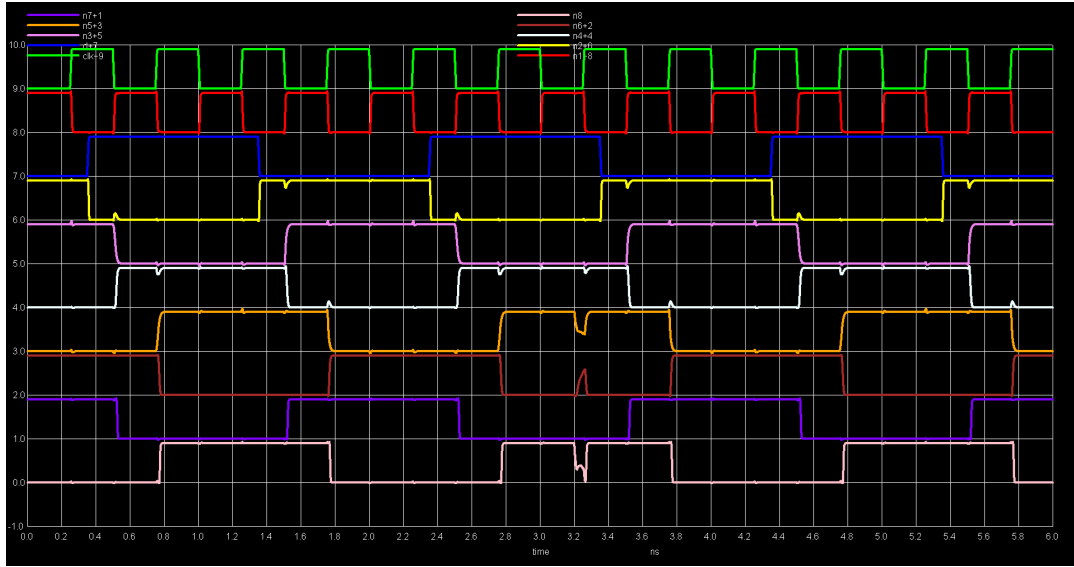


Figura 58 – Aplicação da fonte de corrente dupla exponencial: VETOR=01, nó=N8, corrente=177,8 μA , tempo=3200ps, formato=nhit. (Fonte: o autor)

4.4 Vetor 10 - clock= 1; dados=0

Nesta seção são mostrados os gráficos com a resposta à aplicação da dupla exponencial de (MESSENGER, 1982) para o vetor 10, ou seja, quando o sinal de clock é igual a um e o sinal de dados é igual a zero.

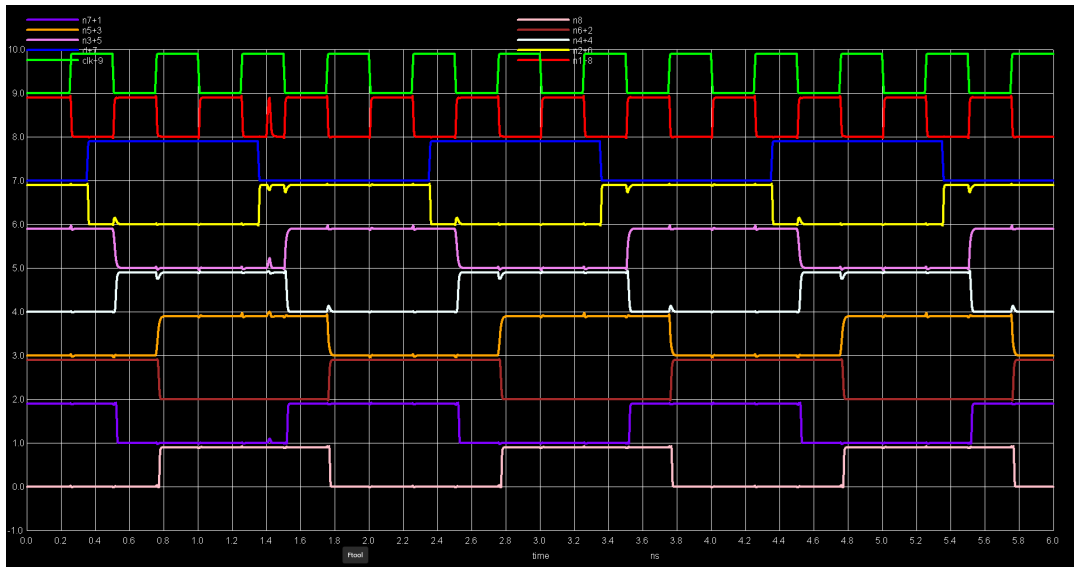


Figura 59 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N1, corrente=156 μA , tempo=1400ps, formato=phit. (Fonte: o autor)

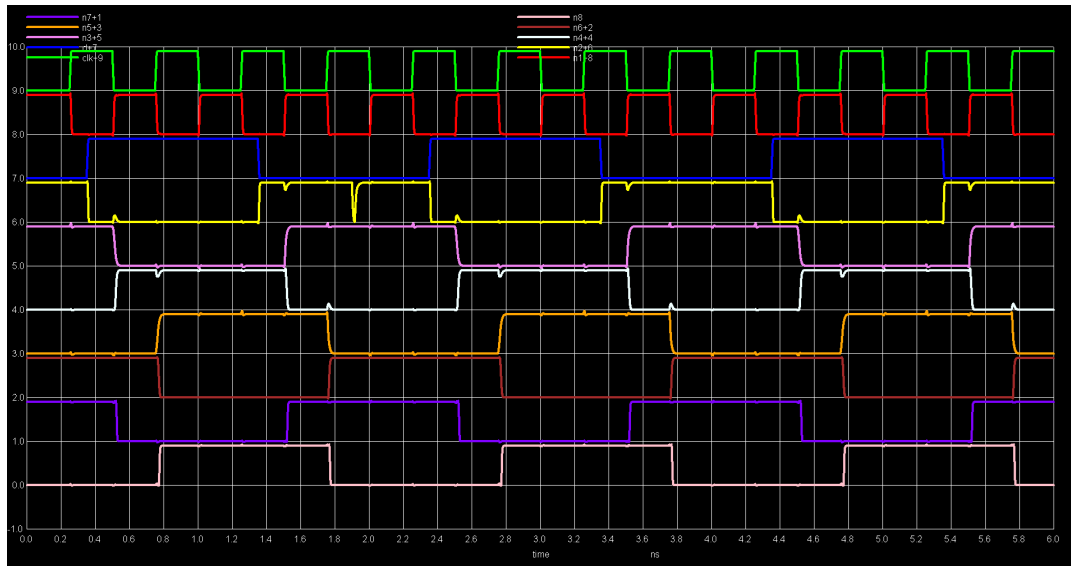


Figura 60 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N2, corrente=195 μA , tempo=3800ps, formato=nhit. (Fonte: o autor)

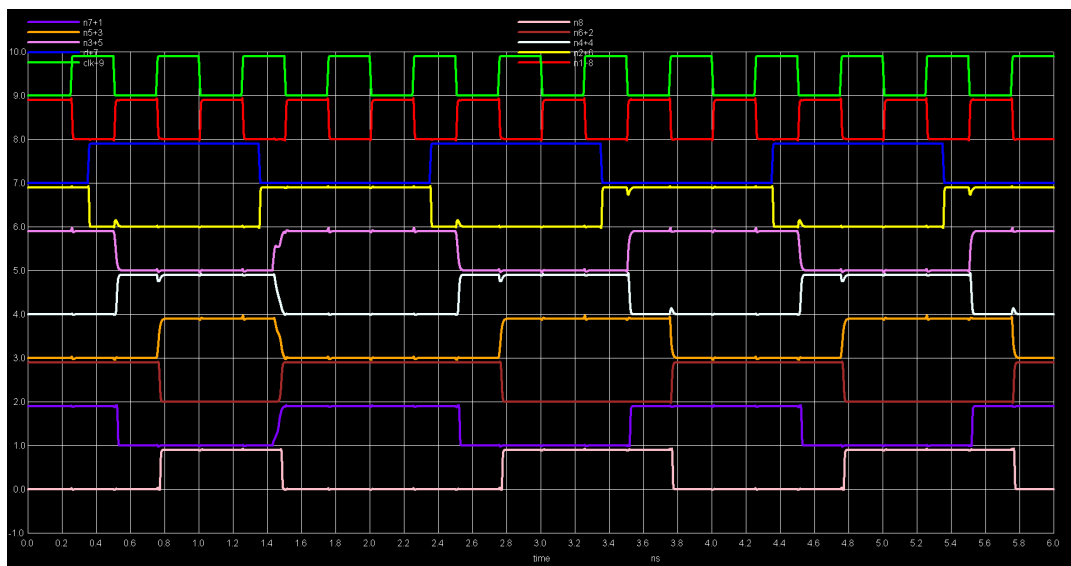


Figura 61 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N3, corrente=89 μA , tempo=1430ps, formato=phit. (Fonte: o autor)

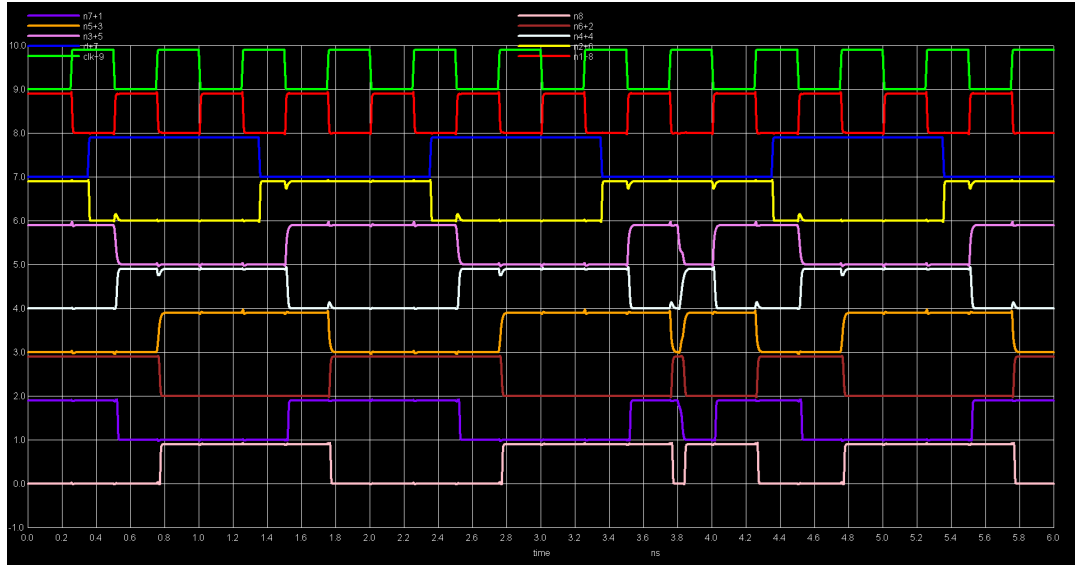


Figura 62 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N3, corrente=93 μ A, tempo=3800ps, formato=nhit. (Fonte: o autor)

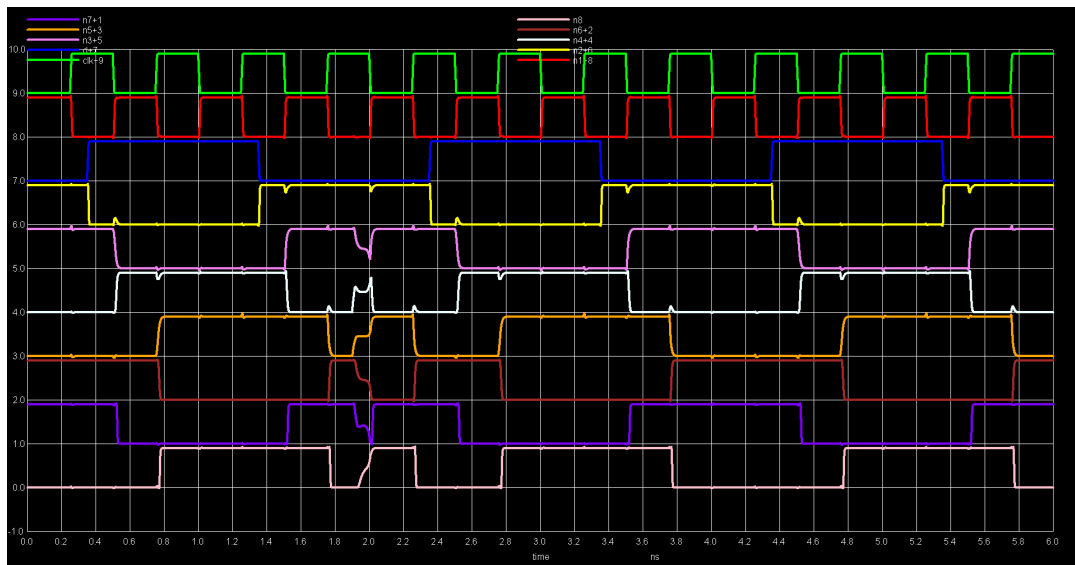


Figura 63 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N4, corrente=152,85 μ A, tempo=1900ps, formato=phit. (Fonte: o autor)

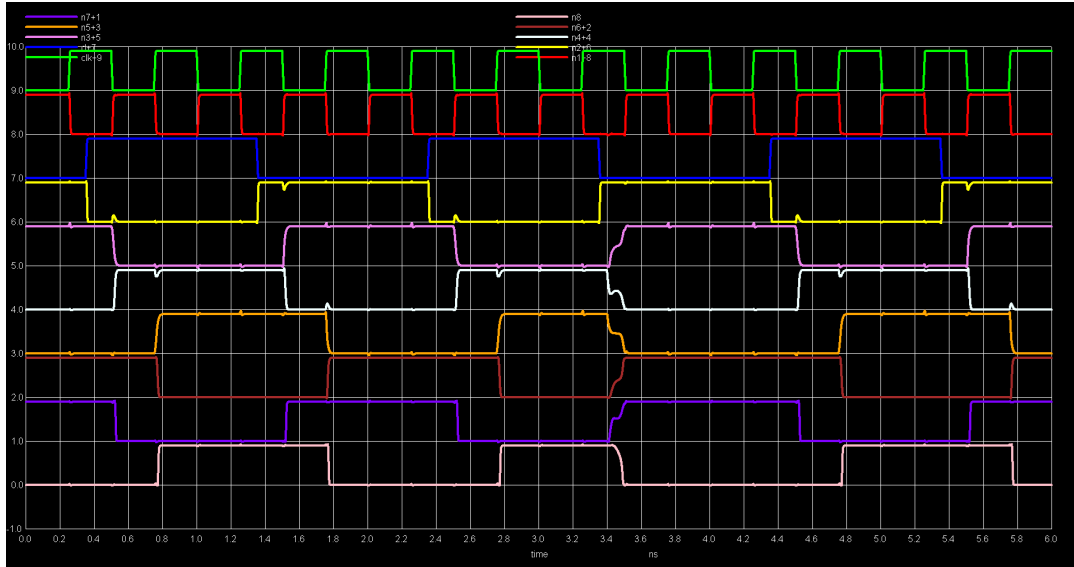


Figura 64 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N4, corrente=166,4 μA , tempo=3400ps, formato=nhit. (Fonte: o autor)

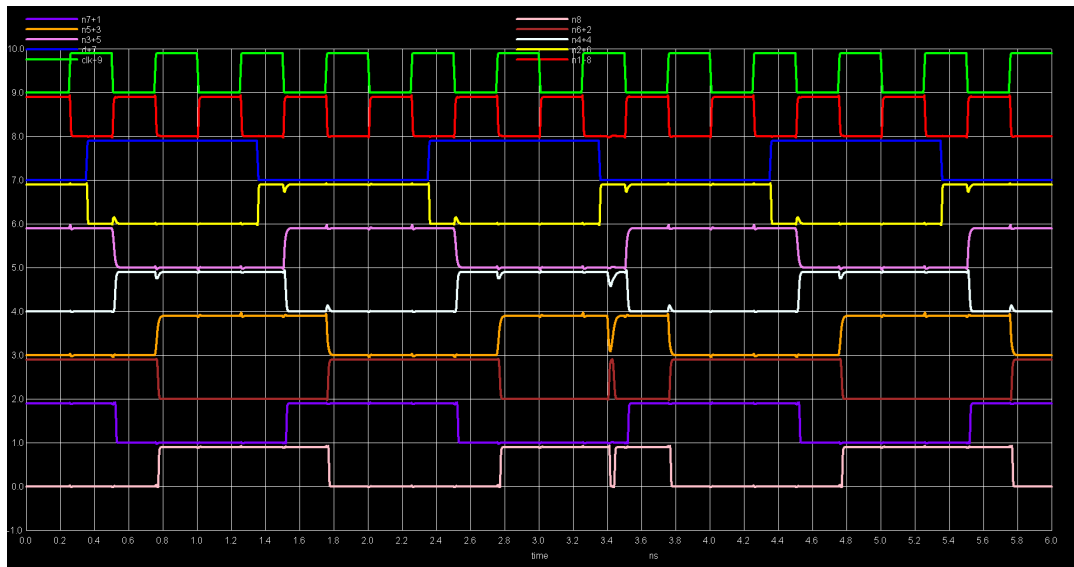


Figura 65 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N5, corrente=145 μA , tempo=3400ps, formato=nhit. (Fonte: o autor)

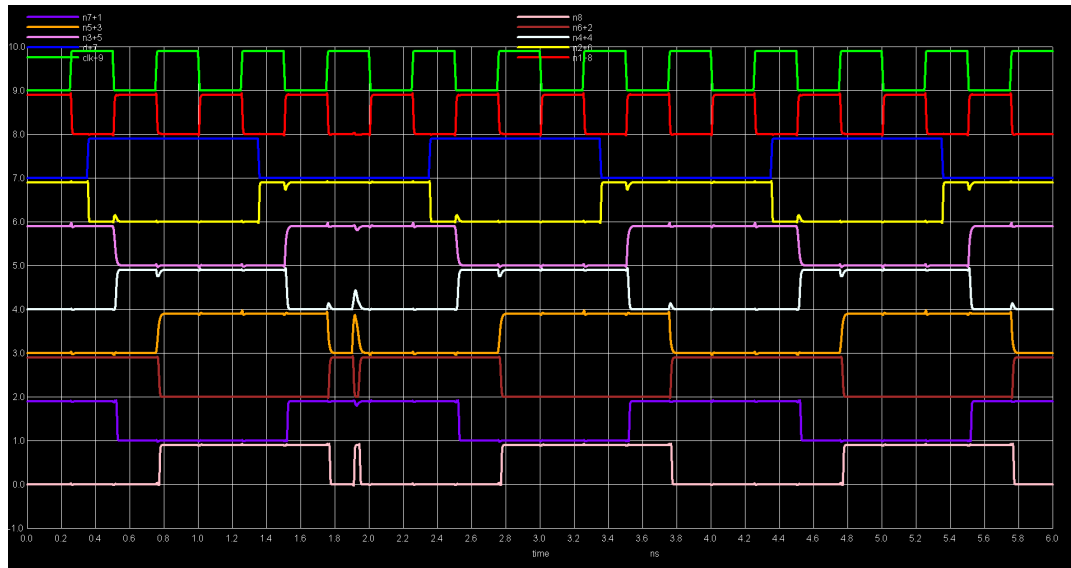


Figura 66 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N5, corrente=153 μA , tempo=1900ps, formato=nhit. (Fonte: o autor)

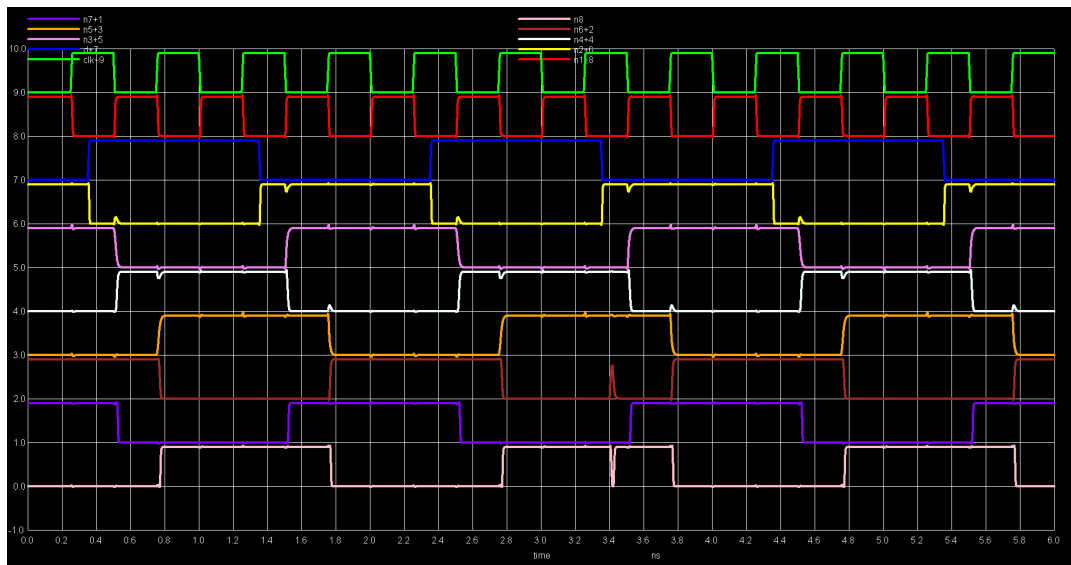


Figura 67 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N6, corrente=153 μA , tempo=3400ps, formato=phit. (Fonte: o autor)

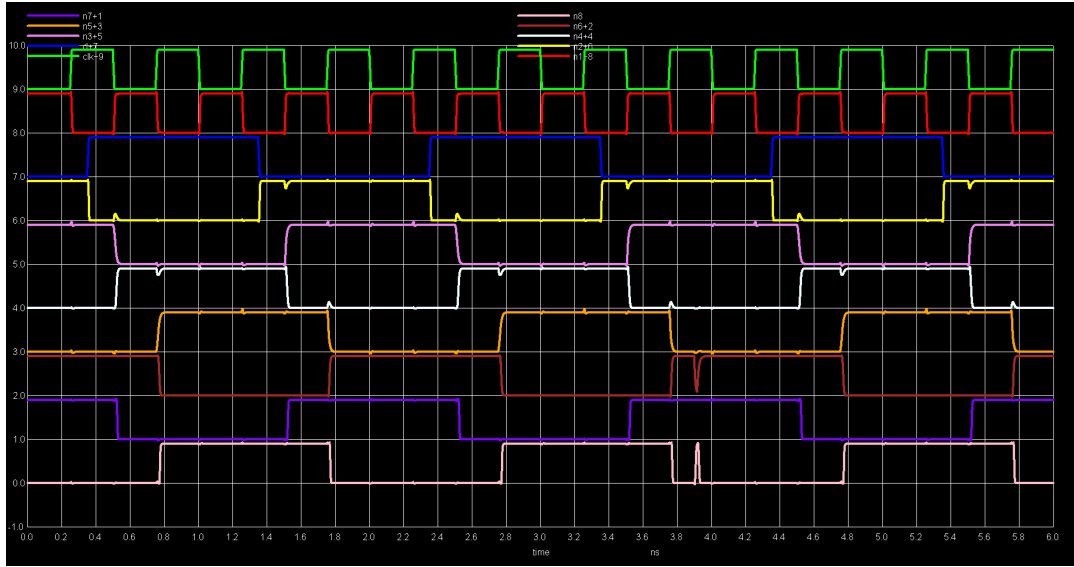


Figura 68 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N6, corrente=200 μA , tempo=3900ps, formato=nhit. (Fonte: o autor)

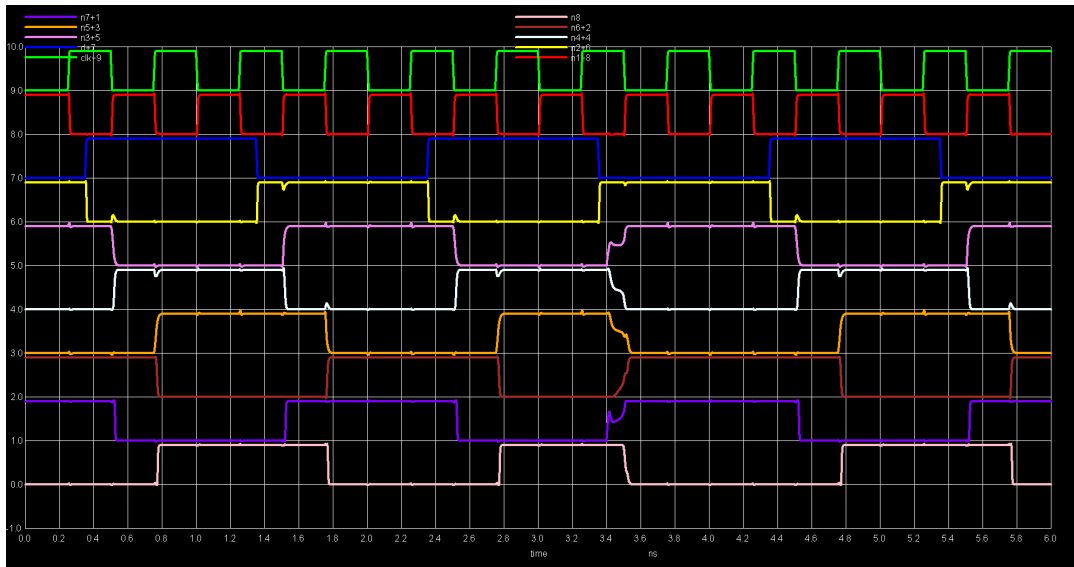


Figura 69 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N7, corrente=160,81 μA , tempo=3400ps, formato=phit. (Fonte: o autor)

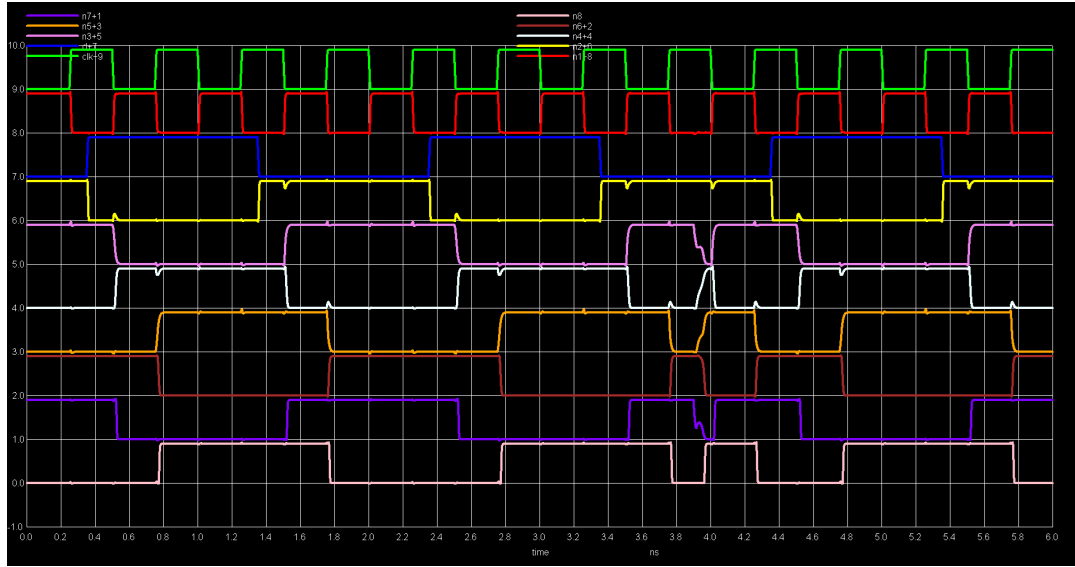


Figura 70 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N7, corrente=188 μA , tempo=3900ps, formato=nhit. (Fonte: o autor)

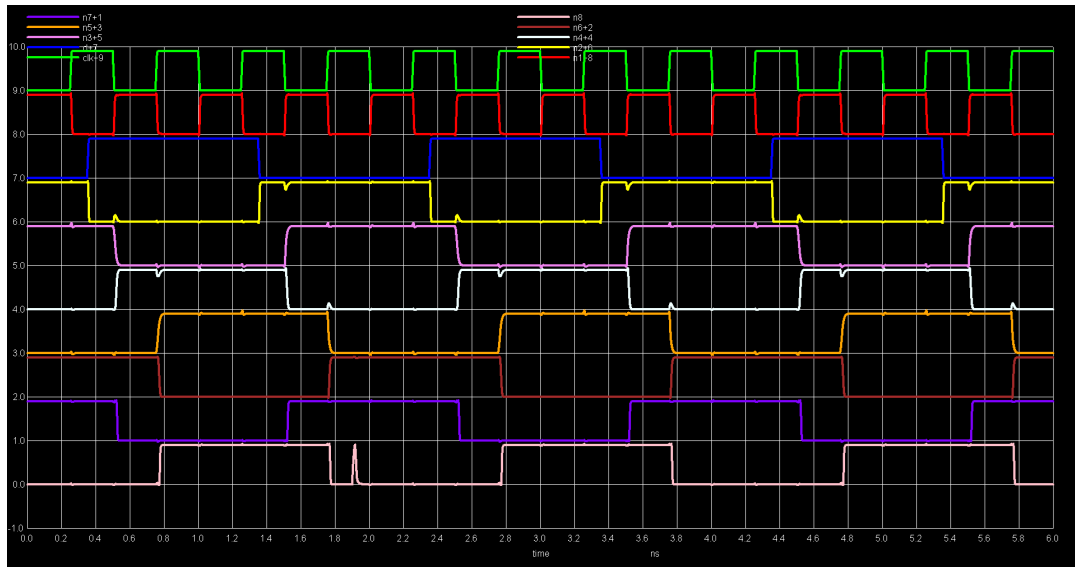


Figura 71 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N8, corrente=149 μA , tempo=1900ps, formato=phit. (Fonte: o autor)

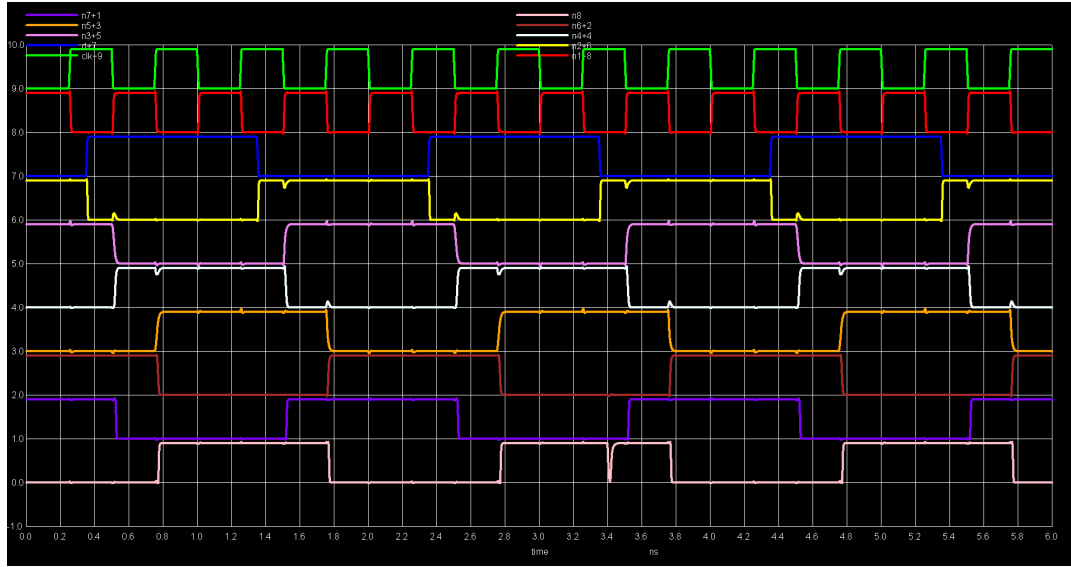


Figura 72 – Aplicação da fonte de corrente dupla exponencial: VETOR=10, nó=N8, corrente=197 μA , tempo=3400ps, formato=nhit. (Fonte: o autor)

4.5 Vetor 11 - clock=1; dados=1

Nesta seção são mostrados os gráficos com a resposta à aplicação da dupla exponencial de (MESSENGER, 1982) para o vetor 11, ou seja, quando o sinal de clock e o sinal de dados é igual a zero.

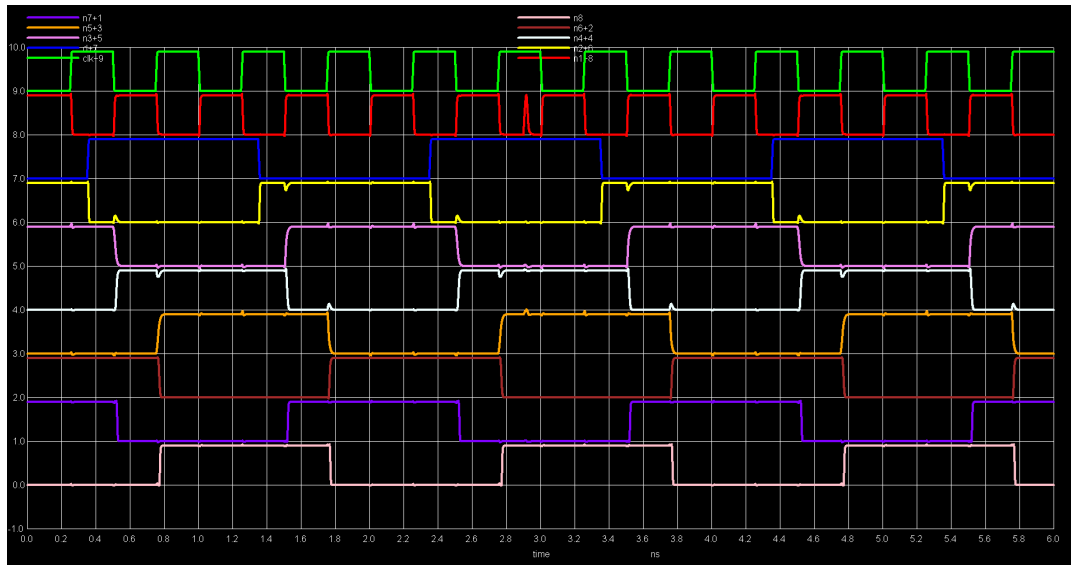


Figura 73 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N1, corrente=160 μA , tempo=2900ps, formato=phit. (Fonte: o autor)

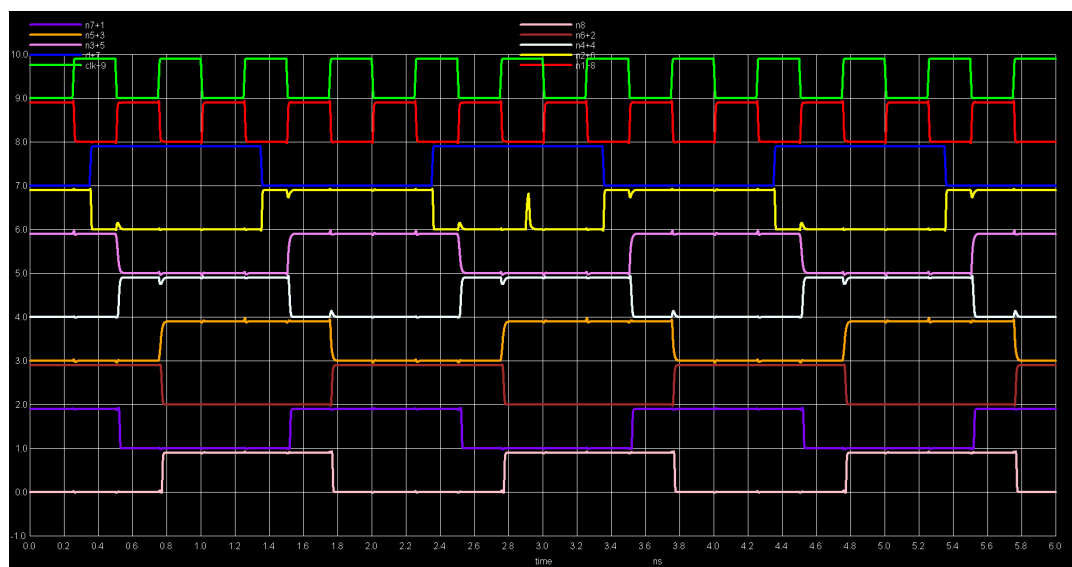


Figura 74 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N2, corrente=140 μ A, tempo=2900ps, formato=phit. (Fonte: o autor)

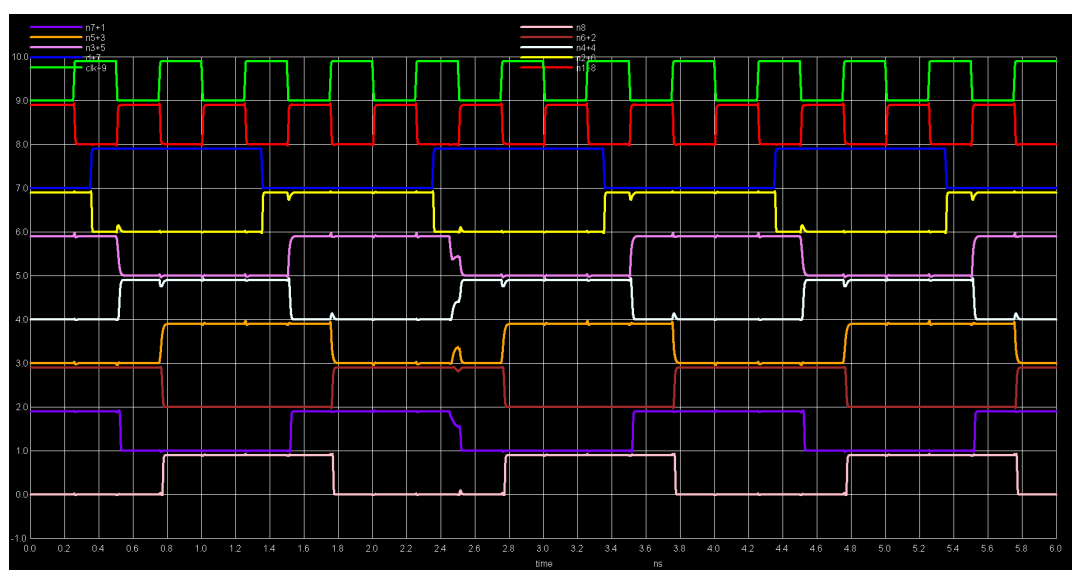


Figura 75 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N3, corrente=86,55 μ A, tempo=2450ps, formato=nhit. (Fonte: o autor)

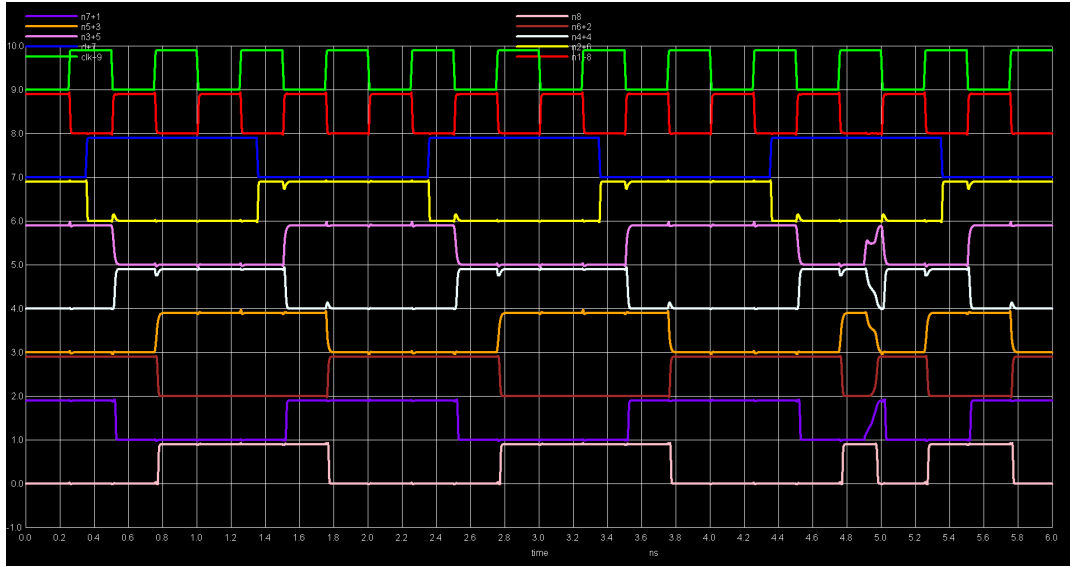


Figura 76 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N3, corrente=87,8 μA , tempo=4900ps, formato=phit. (Fonte: o autor)

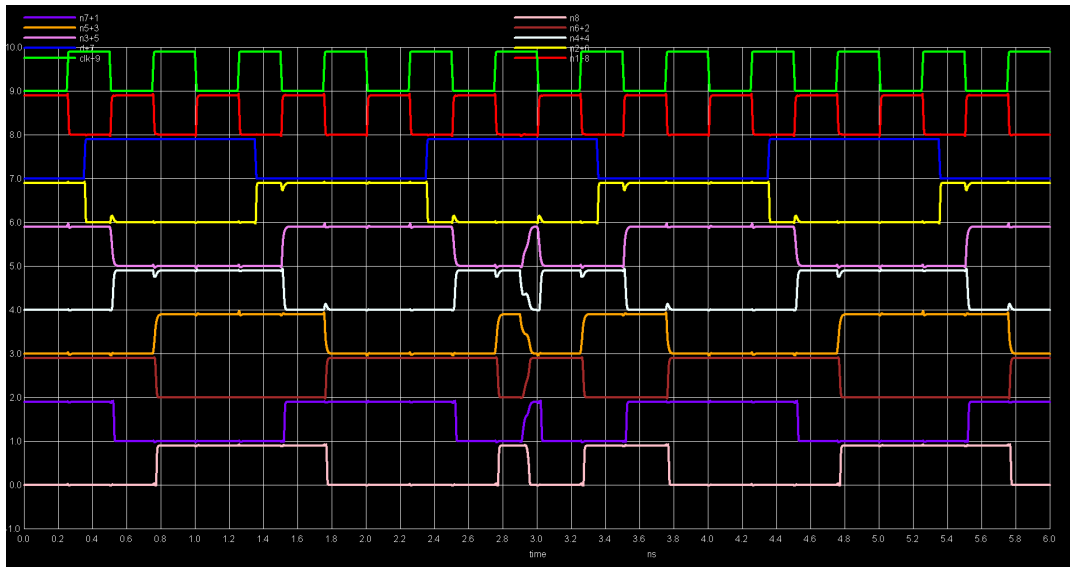


Figura 77 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N4, corrente=168 μA , tempo=2900ps, formato=nhit. (Fonte: o autor)

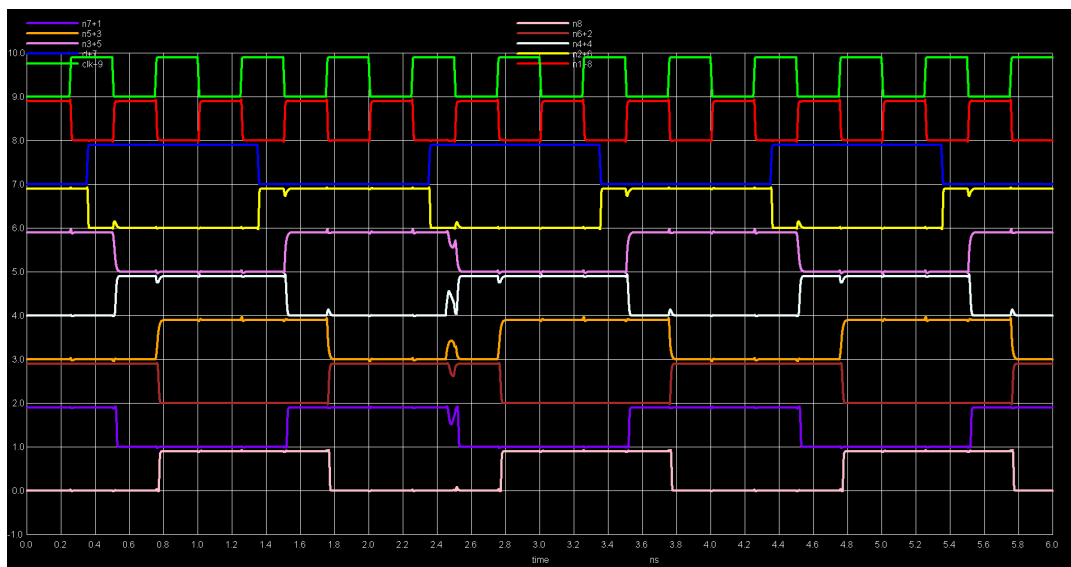


Figura 78 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N4, corrente=150 μA , tempo=2450ps, formato=phit. (Fonte: o autor)

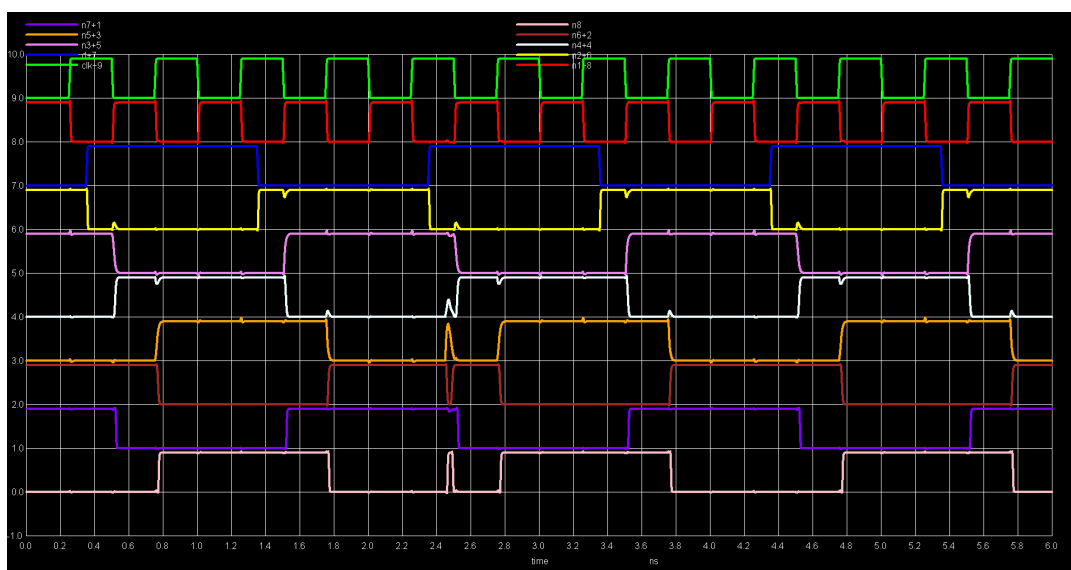


Figura 79 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N5, corrente=148 μA , tempo=2450ps, formato=phit. (Fonte: o autor)

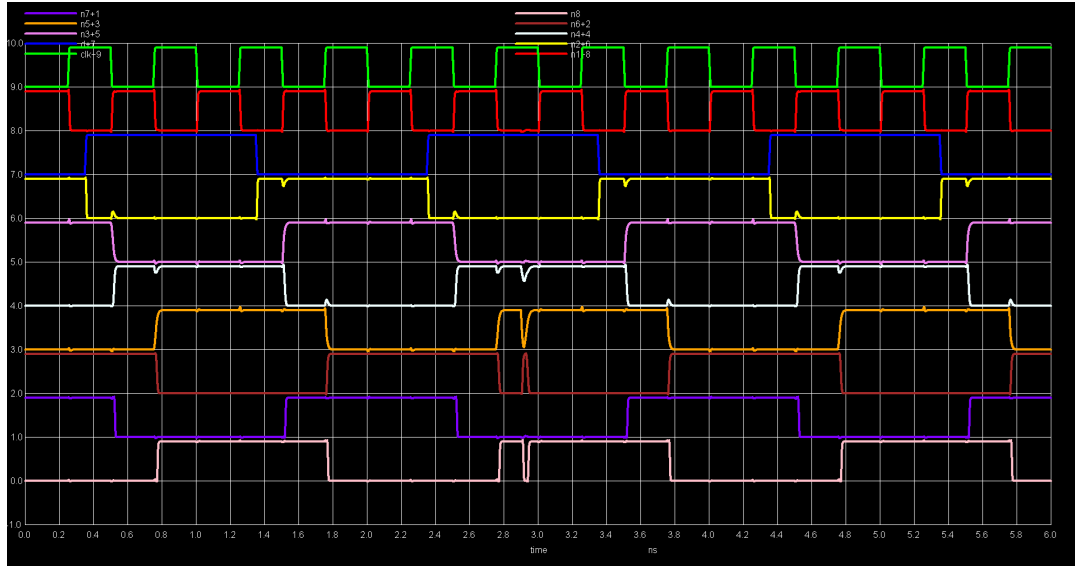


Figura 80 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N5, corrente=151 μA , tempo=2900ps, formato=nhit. (Fonte: o autor)

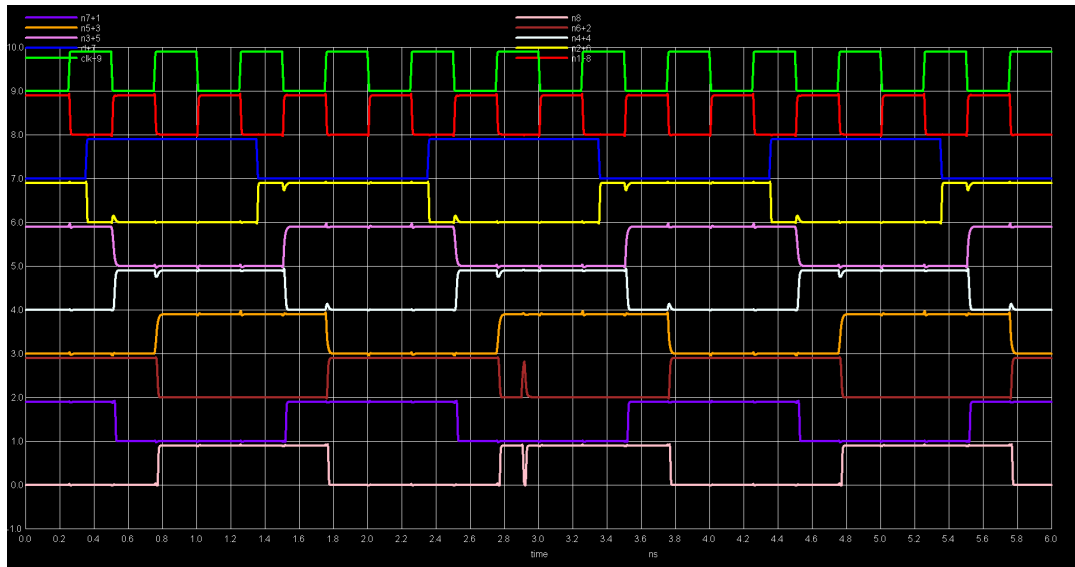


Figura 81 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N6, corrente=154 μA , tempo=2900ps, formato=phit. (Fonte: o autor)

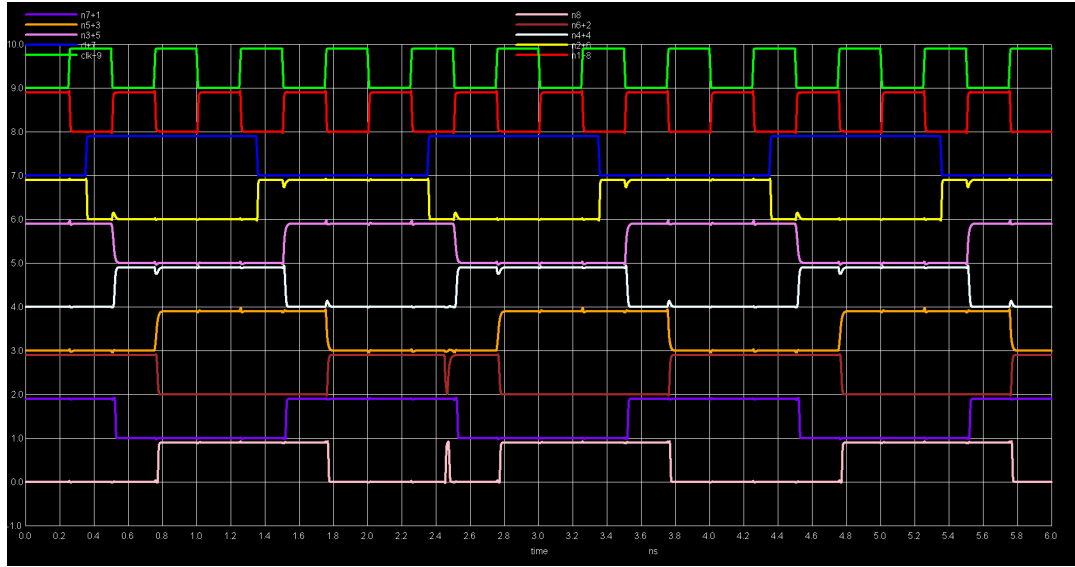


Figura 82 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N6, corrente=210 μA , tempo=2450ps, formato=nhit. (Fonte: o autor)

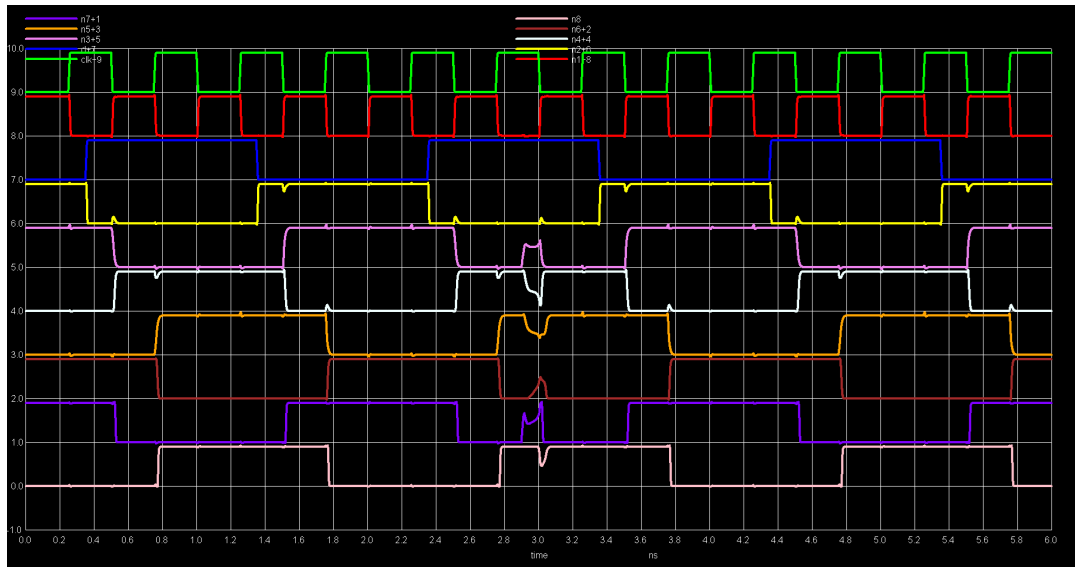


Figura 83 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N7, corrente=160,81 μA , tempo=2900ps, formato=phit. (Fonte: o autor)

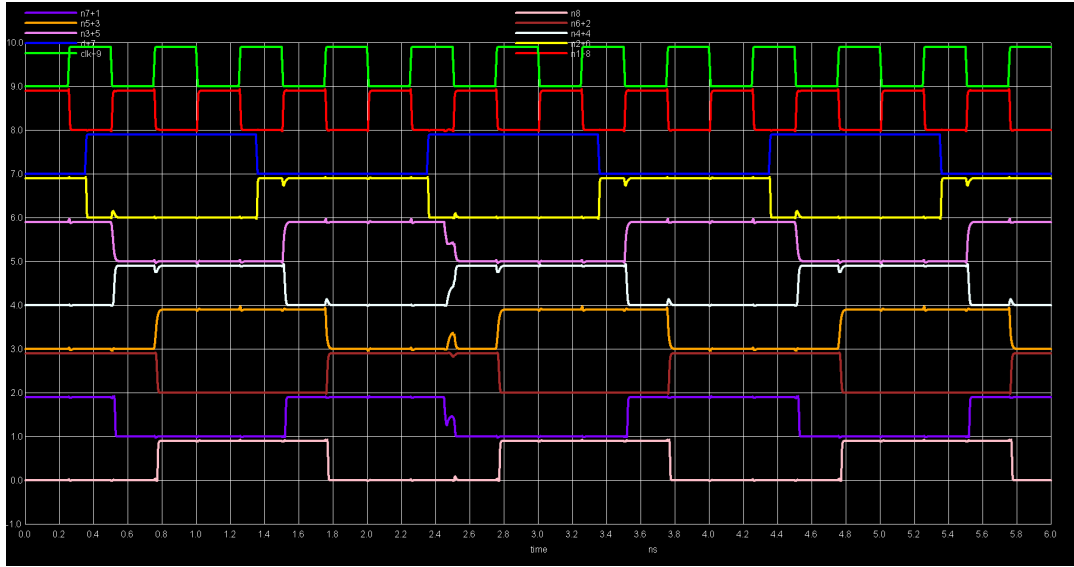


Figura 84 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N7, corrente=187 μA , tempo=2450ps, formato=nhit. (Fonte: o autor)

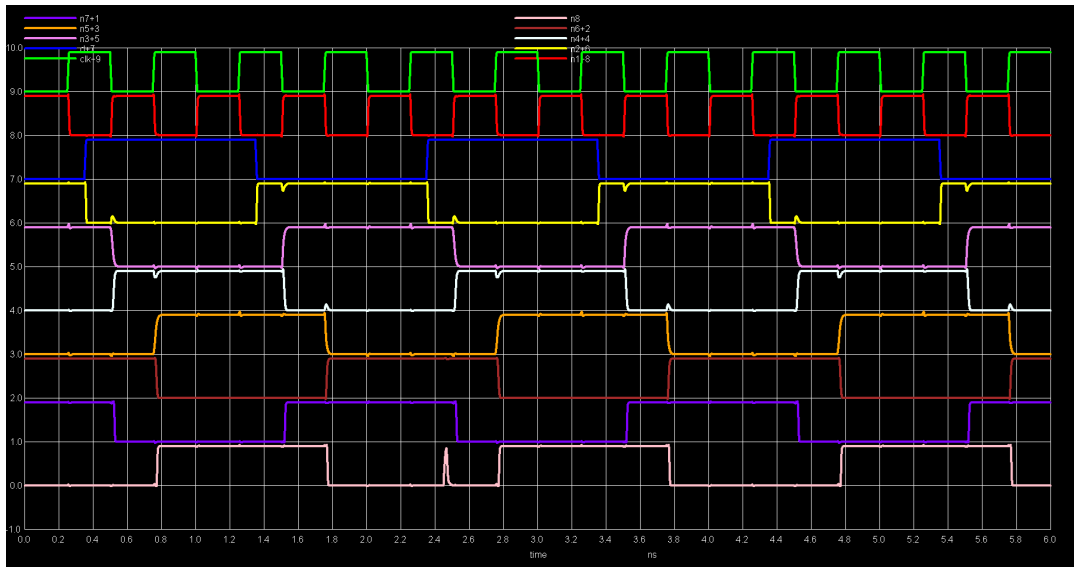


Figura 85 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N8, corrente=145 μA , tempo=2450ps, formato=phit. (Fonte: o autor)

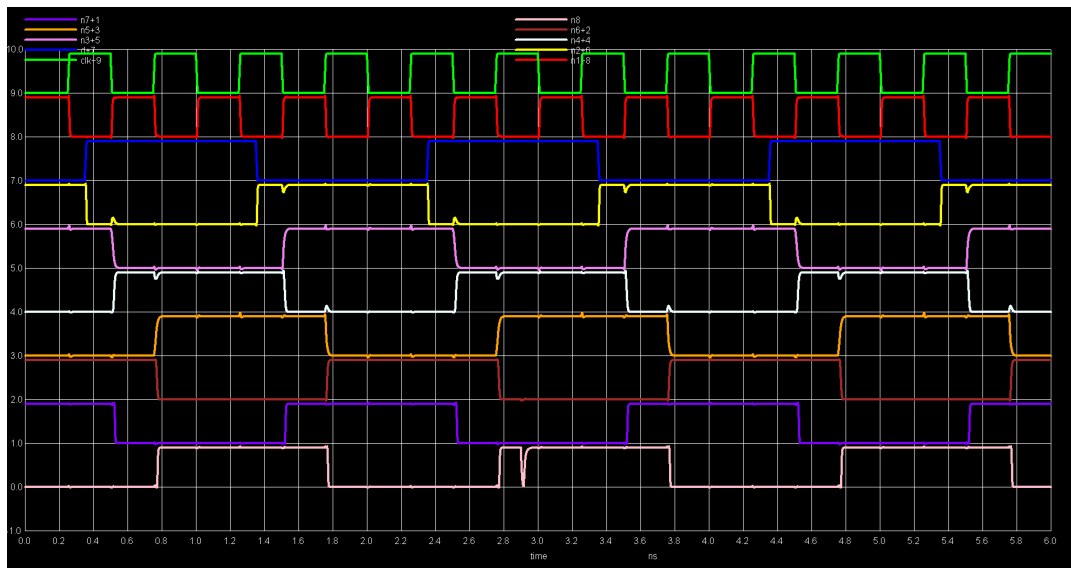


Figura 86 – Aplicação da fonte de corrente dupla exponencial: VETOR=11, nó=N8, corrente=197 μ A, tempo=2900ps, formato=nhit. (Fonte: o autor)

No intuito de evitar uma grande quantidade de informações, que como dito no parágrafo anterior, poderiam trazer trechos muito parecidos ou até iguais para cada grupo de nós e vetores, se produziu a tabela [3](#) apresentada a seguir que sumariza os resultados encontrados. Nela, a primeira coluna apresenta todos os nodos investigados. Na sequência temos os vetores de entrada, onde o primeiro bit refere-se ao sinal de clock e o segundo bit ao sinal de dados, o estado anterior do sinal no nodo, que apresenta a necessidade da definição do sinal anterior que deve estar armazenado naquele nodo para a plena análise de todos os possíveis casos do Flip-Flop. Quando esta coluna possui um hífen (-), indica que o sinal anteriormente armazenado é irrelevante. Na sequência é apresentada para cada uma das condições a corrente aplicada com a qual foi possível observar a falha no circuito, a existência ou não do Bitflip e finalmente, o número da figura que mostra o gráfico com os sinais aplicados e o bitflip no Apêndice [4.2.2](#).

Tabela 3 – Sumário de Resultados

Nodos do FF	Vetor de Entrada	Estado Anterior	Corrente Aplicada (μA)	Bitflip na Saída	Figura (Apêndice D)
N1	00	-	205,00		47
	01	-	206,00		58
	10	-	156,00		69
	11	-	160,00		83
N2	00	-	250,00		48
	01	-	205,00		59
	10	-	195,00		70
	11	-	140,00		84
N3	00	-	150,00		49
	01	-	140,00		60
	10	0	89,00	ocorre	71
	10	1	93,00	ocorre	72
	11	0	86,55		85
	11	1	87,80	ocorre	86
N4	00	-	170,00		50
	01	-	190,00		61
	10	0	152,85	ocorre	73
	10	1	166,40	ocorre	74
	11	0	168,00	ocorre	87
	11	1	150,00		88
N5	00	0	78,18		51
	00	1	79,00	ocorre	52
	01	0	78,70	ocorre	62
	01	1	80,10		63
	10	0	145,00		75
	10	1	153,00		76
	11	0	148,00		89
	11	1	151,00		90
N6	00	0	124,00		53
	00	1	139,50	ocorre	54
	01	0	124,20		64
	01	1	139,39		65
	10	0	139,39		76
	10	1	153,00		77
	11	0	200,00		78
	11	1	154,00		91
N7	00	-	198,00		55
	01	-	148,50		66
	10	0	160,81	ocorre	79
	10	1	188,00	ocorre	80
	11	0	160,81	ocorre	93
	11	1	187,00		94
N8	00	0	150,45	ocorre	56
	00	1	177,50	ocorre	57
	01	0	150,50	ocorre	67
	01	1	177,80		68
	10	0	149,00		81
	10	1	197,00		82
	11	0	145,00		95
	11	1	197,00		96

A partir da tabela fica evidente a grande diferença na sensibilidade dos nodos. Nem todos os nodos e suas respectivas condições de entrada e estado anterior causam um bitflip no Flip-Flop. Além disso, a magnitude do pulso de corrente e consequentemente da carga coletada para causar a falha difere em quase três vezes, destacando assim a importância do tópico investigado.

Esta tabela pode ser utilizada para a análise estatística dos Bitflips, ou seja, determinando as condições que mais frequentemente causam bitflips no flip-flop, onde podem ser analisados a taxa de ocorrência de bitflip para cada nó (N1, N2, etc.), a relação entre o valor da corrente aplicada e a ocorrência de bitflip e a influência do estado inicial do nó na probabilidade de bitflip.

Das condições levantadas e nela listadas podem ser identificados os nós críticos ou os nós mais vulneráveis à interferência da radiação.

O que se pode analisar a partir da tabela é a frequência de bitflips por nó, o valor de corrente mínima que causa bitflip em cada nó e a ainda pode ser feita a comparação entre nós para determinar os de maior criticidade.

É possível, com a coleta de mais informações, criar um modelo que descreva a relação entre as condições de entrada (vetor, corrente, estado) e a probabilidade de bitflip, a partir da criação de gráficos que mostrem a relação entre corrente aplicada e probabilidade de bitflip, assim como treinar um modelo de aprendizado de máquina para prever bitflip com base nos dados.

Utilizando-se da mesma metodologia, poderiam ser feitas comparações com outros projetos de Flip-Flops avaliando a robustez do Flip-Flop em comparação com outros projetos ou tecnologias CMOS verificando as taxas de bitflip em situações semelhantes, assim como verificar as cargas coletadas que causam falhas, caracterizando assim, a sensibilidade do Flip-Flop sob sinais de dupla exponencial. Sendo assim, se lançássemos mão de comparar o comportamento do circuito com modelos teóricos de resposta a radiação, determinaríamos como a corrente máxima aplicada se relaciona com a taxa de bitflips. Portanto, há a possibilidade de se usar os dados para propor soluções para aumentar a robustez do circuito, identificando os parâmetros críticos associados ao bitflip e sugerindo modificações no projeto para melhorar a tolerância à radiação.

5 Considerações Finais

O efeito de evento único (SEE) é uma das principais influências da radiação que pode provocar erros transitórios no circuito. Um SEE pode ocorrer mesmo nas redes de distribuição de sinal de clock. Durante a incidência de uma partícula ionizante, a carga pode ser coletada no nodo de entrada do sinal de clock provocando falhas e instabilidade. Como consequência, é possível notar erros no funcionamento do circuito.

Desde o encerramento da etapa anterior restaram para a conclusão deste trabalho os testes e simulações dos circuitos sequenciais mostrados no decorrer dos capítulos, mostrando a incidência de erros ao utilizar a fonte de corrente com a dupla exponencial à espelho do que foi feito no capítulo referente ao inversor CMOS, onde identificou-se a mudança de valor dos sinais ocasionada pela coleta de carga (Q_{coll}) e superação do valor de carga crítica (Q_{crit}) ao aplicar a metodologia já experienciada nos capítulos 3 e 4 onde puderam ser observados resultados com a capacidade de acarretar defeitos e perdas importantes nos dados armazenados. Esses resultados enumerados e explicados no capítulo 4 referentes ao vetor (0;0) acrescidos dos listados no Apêndice 4.2.2 podem ser utilizados como referências para testes em outros trabalhos ou como material didático para o ensino de disciplinas ligadas aos sistemas digitais e outras, de caráter avançado.

Durante as pesquisas, com a leitura de diversos artigos de renomados escritores e pesquisadores dedicados ao tema, não foram encontrados nos materiais listados na bibliografia deste trabalho gráficos semelhantes a estes que possam ilustrar os efeitos nos sinais de saída de cada componente nos nós que os unem ou até mesmo mostrando, conforme as figuras do apêndice C as junções PN que são sensíveis às partículas, o que torna este material atraente para quem inicia os estudos acadêmicos na área, dessa forma, para um trabalho futuro, fica a pretensão de utilizar a metodologia de estudo aqui mostrada para gerar material educacional conciso, em parte ou no todo.

Este trabalho pode servir como ponto de partida para que outros estudantes explorem novas direções na área, como por exemplo, tentando reproduzir seus experimentos, verificando os resultados em diferentes condições usando diferentes tecnologias CMOS ou variações do circuito flip-flop, buscando alterar parâmetros do sinal de interferência (amplitude, forma da onda, tempo de subida/descida) e testando os efeitos em ambientes diferentes.

Se buscarmos a ampliação do estudo, é possível expandir o escopo para incluir outros tipos de circuitos ou componentes digitais como registradores, SRAM ou

DRAM ou ainda investigando circuitos em diferentes processos de fabricação como FinFET, SOI, etc como em (SAKURAI; MATSUZAWA; DOUSEKI, 2006).

Possivelmente haveria a necessidade de simulação e modelagem avançada usando softwares de simulação para criar modelos matemáticos ou computacionais que prevejam o comportamento sob radiação. Uma boa forma de se chegar a esse tipo de estudo e melhoria no trabalho, seria implementar algoritmos de aprendizado de máquina para prever bitflips com base em parâmetros de entrada e utilizar o próprio NGSpice para analisar circuitos com diferentes configurações de entrada.

Para automatizar simulações no NGSpice, pode ser criado um script que define os parâmetros de simulação, carrega o arquivo do circuito e executa as simulações desejadas. O NGSpice permite o controle por linha de comando, o que facilita a automação (NENZI; VOGT, 2011).

Outra possibilidade seria a de explorar como bitflips podem afetar sistemas críticos em satélites ou aviões, em diferentes altitudes ou quando da exposição à diferentes geradores de radiação como em dispositivos médicos implantáveis.

Esse tipo de automação é útil para realizar múltiplas simulações com diferentes parâmetros, analisar os resultados de forma sistemática e até gerar relatórios automatizados. O uso de scripts proporciona flexibilidade e controle para rodar simulações no NGSpice de forma eficiente, especialmente em estudos paramétricos ou em análise de desempenho em diferentes condições.

As contribuições deste trabalho, podem ser diversas e impactar tanto o design de circuitos como a robustez dos sistemas digitais em ambientes sujeitos a radiação.

Pode contribuir na identificação de vulnerabilidades a radiação fornecendo uma metodologia para identificar os nós do Flip-Flop que são mais suscetíveis a radiação, como aqueles que controlam o estado de dados e de clock. Isso ajudaria no mapeamento das áreas mais críticas para falhas induzidas por radiação (single event upsets - SEUs), permitindo tomar decisões mais informadas sobre onde aplicar técnicas de mitigação.

A partir da análise dos nós sensíveis à radiação, este estudo pode contribuir para o desenvolvimento de soluções para aumentar a resistência à radiação do Flip-Flop, como o uso de circuitos de redundância, como por exemplo Triple Modular Redundancy visto em (OLIVEIRA, 2020), técnicas de correção de erros ou otimização do layout do circuito como analisado por (ALIOTO; CONSOLI; PALUMBO, 2010). Podendo resultar na implementação de modelos mais precisos para a simulação do comportamento dos Flip-Flops em condições de radiação, facilitando a análise de falhas em nível de componentes. A integração dessas simulações com ferramentas como NGSpice ajudaria a prever como os Flip-Flops se comportariam em cenários

reais, permitindo ajustes de projeto para mitigar falhas induzidas por radiação.

Em uma área bem diferente, poderia-se utilizar deste material e resultados desta pesquisa para a exploração na área educacional, onde se pode criar materiais didáticos ou experimentos práticos baseados nos resultados. Desenvolver kits de laboratório para testar flip-flops sob interferências simuladas, utilizando Flip-flops simples, como um 74HC74 que é um Flip-Flop D CMOS de baixo custo e fácil aquisição, que criaria simulações interativas para ensinar sobre bitflips e radiação. Como radiação real não é segura ou prática, o kit poderia usar, obviamente, sinais de dupla exponencial para simular os efeitos. Esses sinais precisariam ser ajustáveis para que diferentes níveis de impacto possam ser testados.

De uma maneira geral, este trabalho pode contribuir para o estudo geral de como os circuitos digitais reagem a condições adversas. Esse conhecimento pode ser aplicado a outras tecnologias digitais que operam em ambientes extremos e essas contribuições podem se estender além do campo dos Flip-Flops, influenciando o design de circuitos digitais, a segurança de sistemas eletrônicos e o desenvolvimento de novos padrões para ambientes onde a radiação esteja presente.

Referências

ALIOTO, M.; CONSOLI, E.; PALUMBO, G. Analysis and comparison in the energy-delay-area domain of nanometer cmos flip-flops: Part i—methodology and design strategies. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, IEEE, v. 19, n. 5, p. 725–736, 2010. Citado 2 vezes nas páginas 40 e 98.

AUTRAN, J.-L.; MUNTEANU, D. *Soft Errors: from particles to circuits*. [S.l.]: CRC press, 2017. Citado na página 19.

BAUMANN, R. C. Radiation-induced soft errors in advanced semiconductor technologies. *IEEE Transactions on Device and materials reliability*, IEEE, v. 5, n. 3, p. 305–316, 2005. Citado 6 vezes nas páginas 18, 22, 35, 37, 38 e 62.

BLACK, D. A. et al. Modeling of single event transients with dual double-exponential current sources: Implications for logic cell characterization. *IEEE Transactions on Nuclear Science*, v. 62, n. 4, p. 1540–1549, 2015. Citado 2 vezes nas páginas 50 e 66.

BOYLESTAD, R. L.; NASHELSKY, L. *Dispositivos eletrônicos e teoria de circuitos*. [S.l.]: Prentice-Hall do Brasil, 1984. v. 6. Citado 3 vezes nas páginas 8, 27 e 28.

DODD, P.; SEXTON, F. Critical charge concepts for cmos srams. *IEEE Transactions on Nuclear Science*, IEEE, v. 42, n. 6, p. 1764–1771, 1995. Citado 2 vezes nas páginas 38 e 62.

DODD, P. E. Device simulation of charge collection and single-event upset. *IEEE Transactions on Nuclear Science*, IEEE, v. 43, n. 2, p. 561–575, 1996. Citado na página 47.

DODD, P. E.; MASSENGILL, L. W. Basic mechanisms and modeling of single-event upset in digital microelectronics. *IEEE Transactions on nuclear Science*, IEEE, v. 50, n. 3, p. 583–602, 2003. Citado 2 vezes nas páginas 33 e 34.

FRIEDBERG, W.; COPELAND, K. *Ionizing radiation in Earth's atmosphere and in space near earth*. [S.l.], 2011. Citado 2 vezes nas páginas 33 e 34.

GILL, B.; SEIFERT, N.; ZIA, V. Comparison of alpha-particle and neutron-induced combinational and sequential logic error rates at the 32nm technology node. In: IEEE. *2009 IEEE international reliability physics symposium*. [S.l.], 2009. p. 199–205. Citado na página 21.

HSIEH, C.; MURLEY, P. C.; O'BRIEN, R. A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices. *IEEE electron device letters*, IEEE, v. 2, n. 4, p. 103–105, 1981. Citado na página 37.

HUANG, A. P.; YANG, Z.; CHU, P. K. Hafnium-based high-k gate dielectrics. *Advances in solid state circuits technologies*, Intech, Croatia, p. 333–350, 2010. Citado na página 20.

- KNOLL, G. F. *Radiation detection and measurement*. [S.l.]: John Wiley & Sons, 2010. Citado na página [34](#).
- MANABE, S. et al. Estimation of muon-induced seu rates for 65-nm bulk and utbb-soi srams. *IEEE Transactions on Nuclear Science*, IEEE, v. 66, n. 7, p. 1398–1403, 2019. Citado na página [22](#).
- MESSENGER, G. Collection of charge on junction nodes from ion tracks. *IEEE Transactions on nuclear science*, IEEE, v. 29, n. 6, p. 2024–2031, 1982. Citado 12 vezes nas páginas [9](#), [36](#), [45](#), [47](#), [48](#), [49](#), [66](#), [67](#), [74](#), [75](#), [80](#) e [87](#).
- NEDOVIC, N.; OKLOBDZIJA, V. G. Dual-edge triggered storage elements and clocking strategy for low-power systems. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, IEEE, v. 13, n. 5, p. 577–590, 2005. Citado na página [40](#).
- NENZI, P.; VOGT, H. *Ngspice Users Manual Version 23*. [S.l.]: June, 2011. Citado 2 vezes nas páginas [49](#) e [98](#).
- NICOLAIDIS, M. Design for soft error mitigation. *IEEE Transactions on Device and Materials Reliability*, IEEE, v. 5, n. 3, p. 405–418, 2005. Citado na página [22](#).
- OLIVEIRA, I. F. V. *Análise da robustez de votadores majoritários na presença de falhas transientes em arquiteturas TMR e ATMR*. Dissertação (Mestrado), 2020. Citado 2 vezes nas páginas [22](#) e [98](#).
- PRINZIE, J. et al. Low-power electronic technologies for harsh radiation environments. *Nature Electronics*, Nature Publishing Group, v. 4, n. 4, p. 243–253, 2021. Citado 2 vezes nas páginas [8](#) e [19](#).
- SAKURAI, T.; MATSUZAWA, A.; DOUSEKI, T. *Fully-depleted SOI CMOS circuits and technology*. [S.l.]: Springer, 2006. Citado 2 vezes nas páginas [19](#) e [98](#).
- SCHRIMPF, R. D.; FLEETWOOD, D. M. *Radiation effects in semiconductors and electronic devices*. [S.l.]: World Scientific, 2004. Citado na página [33](#).
- SCHVITZ, R. et al. A simplified layout-level method for single event transient faults susceptibility on logic gates. In: IEEE. *2019 IFIP/IEEE 27th International Conference on Very Large Scale Integration (VLSI-SoC)*. [S.l.], 2019. p. 185–190. Citado na página [22](#).
- SCHVITZ, R. B.; BUTZEN, P. F.; ROSA, L. S. da. Methods for susceptibility analysis of logic gates in the presence of single event transients. In: IEEE. *2020 IEEE International Test Conference (ITC)*. [S.l.], 2020. p. 1–9. Citado 2 vezes nas páginas [51](#) e [52](#).
- SEXTON, F. W. Destructive single-event effects in semiconductor devices and ics. *IEEE Transactions on Nuclear Science*, IEEE, v. 50, n. 3, p. 603–621, 2003. Citado na página [33](#).
- TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. *Sistemas digitais*. [S.l.]: Pearson Educación, 2010. Citado 6 vezes nas páginas [8](#), [9](#), [29](#), [39](#), [44](#) e [45](#).

WANG, F.; AGRAWAL, V. D. Single event upset: An embedded tutorial. In: IEEE. *21st International Conference on VLSI Design (VLSID 2008)*. [S.l.], 2008. p. 429–434. Citado na página [37](#).

WESTE, N. H.; HARRIS, D. *CMOS VLSI design: a circuits and systems perspective*. [S.l.]: Pearson Education India, 2015. Citado 16 vezes nas páginas [8](#), [9](#), [24](#), [25](#), [26](#), [28](#), [29](#), [30](#), [31](#), [32](#), [36](#), [39](#), [40](#), [41](#), [42](#) e [43](#).

WESTE, N. H. E.; ESHRAGHIAN, K. *Principles of CMOS VLSI Design: A Systems Perspective*. 2nd. ed. Boston, MA: Addison-Wesley, 2003. ISBN 978-0201533767. Citado na página [45](#).

APÊNDICE A – Modelo Preditivo de Alta Performance (HP) Bulk CMOS

* PTM High Performance 32nm Metal Gate / High-K / Strained-Si
 * nominal Vdd = 0.9V

.model nmos nmos level = 54

+version = 4.0	binunit = 1	paramchk= 1	mobmod = 0
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 1
+diommod = 1	rdsmmod = 0	rbodymod= 1	rgatemod= 1
+permod = 1	acnqsmmod= 0	trnqsmmod= 0	
+tnom = 27	toxe = 1.15e-009	toxp = 9e-010	toxm = 1.15e-009
+dtox = 2.5e-010	epsrox = 3.9	wint = 5e-009	lint = 2.7e-009
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.15e-009
+xl = -14e-9			

* PTM High Performance 32nm Metal Gate / High-K / Strained-Si
 * nominal Vdd = 0.9V

.model nmos nmos level = 54

+vth0 = 0.49396	k1 = 0.4	k2 = 0	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 1	dvt1 = 2
+dvt2 = 0	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsb = 0.1	minv = 0.05	voff1 = 0	dvt0 = 1e-011
+dvtp1 = 0.1	lpe0 = 0	lpeb = 0	xj = 1e-008
+ngate = 1e+023	ndep = 4.12e+018	nsd = 2e+020	phin = 0
+cdsc = 0	cdscb = 0	cdscd = 0	cit = 0
+voff = -0.13	nfactor = 2.508	eta0 = 0.0048	etab = 0
+vfb = -0.55	u0 = 0.05	ua = 6e-010	ub = 1.2e-018
+uc = 0	vsat = 210000	a0 = 1	ags = 0
+a1 = 0	a2 = 1	b0 = 0	b1 = 0
+keta = 0.04	dwg = 0	dwb = 0	pclm = 0.02
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = -0.005	drout = 0.5
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+008	pscbe2 = 1e-007
+fprout = 0.2	pdits = 0.01	pditsd = 0.23	pdits1 = 2300000
+rsh = 5	rdsw = 150	rsd = 75	rdw = 75
+rdswmin = 0	rdwmin = 0	rsdmin = 0	prwg = 0
+prwb = 0	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.020014	bigc = 0.0027432
+cigc = 0.002	aigsd = 0.020014	bigsd = 0.0027432	cigsd = 0.002
+nigc = 1	poedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 8.5e-011	cgdo = 8.5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgs1 = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt11 = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prrt = 0
+at = 33000			

+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.020014	bigc = 0.0027432
+cigc = 0.002	aigsd = 0.020014	bigsd = 0.0027432	cigsd = 0.002
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 8.5e-011	cgdo = 8.5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgs1 = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt11 = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prt = 0
+at = 33000			

+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.020014	bigc = 0.0027432
+cigc = 0.002	aigsd = 0.020014	bigsd = 0.0027432	cigsd = 0.002
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 8.5e-011	cgdo = 8.5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgs1 = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt11 = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prt = 0
+at = 33000			

+dmcg = 0	dmci = 0	dmdg = 0	dmcgt = 0
+dwj = 0	xgw = 0	xgl = 0	
+rshg = 0.4	gbmin = 1e-010	rbpb = 5	rbpd = 15
+rbps = 15	rbdb = 15	rbsb = 15	ngcon = 1
+prwb = 0	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002

```
.model pmos pmos level = 54
```

+version = 4.0	binunit = 1	paramchk = 1	mobmod = 0
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 1
+diomod = 1	rdsmmod = 0	rbodmod = 1	rgatemod = 1
+permmod = 1	acnqsmmod = 0	trnqsmmod = 0	
+tnom = 27	toxe = 1.2e-009	toxp = 9e-010	toxm = 1.2e-009
+dttox = 3e-010	epsrox = 3.9	wint = 5e-009	lint = 2.7e-009
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.2e-009
+xl = -14e-9			


```
.model pmos pmos level = 54
```

```
+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmmod = 1          igbmod = 1          geomod = 1
+diomod = 1           rdsmod = 0           rbodymod= 1         rgatemod= 1
+vth0 = -0.49155      k1 = 0.4            k2 = -0.01         k3 = 0
+k3b = 0              w0 = 2.5e-006        dvt0 = 1          dvt1 = 2
+dvt2 = -0.032        dvt0w = 0          dvt1w = 0         dvt2w = 0
+dsusb = 0.1          minv = 0.05          voff1 = 0         dvtp0 = 1e-011
+dvtp1 = 0.05          lpe0 = 0           lpeb = 0          xj = 1e-008
+ngate = 1e+023        ndep = 3.07e+018   nsd = 2e+020      phin = 0
+cdsc = 0             cdscb = 0          etas0 = 0.0048     etab = 0
+voff = -0.126         u0 = 0.014         ua = 2e-009       ub = 5e-019
+vfb = 0.55           vsat = 180000      a0 = 1            ags = 1e-020
+uc = 0               a2 = 1            b0 = 0            b1 = 0
+a1 = 0              dwg = 0           dwb = 0           pclm = 0.12
+keta = -0.047        pdiblc2 = 0.001   pdiblc1b = 3.4e-008 drou = 0.56
+pdiblc1 = 0.001      delta = 0.01       pscbe1 = 8.14e+008 pscbe2 = 9.58e-007
+pvag = 1e-020        pdits = 0.08       pditsd = 0.23     pdits1 = 2300000
+fprout = 0.2         rds = 150         rsw = 75          rdw = 75
+rsh = 5             rdswmin = 0        rdswmin = 0       prwg = 0
+rdswmin = 0          wr = 1            alpha0 = 0.074     alpha1 = 0.005
+prwb = 0            agidl = 0.0002     bgidl = 2.1e+009   cgidl = 0.0002
+beta0 = 30          aigbacc = 0.012    bigbacc = 0.0028   cigbacc = 0.002
+egidl = 0.8         aigbinv = 0.014    bigbinv = 0.004    cigbinv = 0.004
+nigbacc = 1         agidl = 0.0002     bgidl = 2.1e+009   cgidl = 0.0002
+beta0 = 30
```

```
+eigbinv = 1.1        nigbinv = 3          aigc = 0.020014    bigc = 0.0027432
+cigc = 0.002         aigsd = 0.020014   bigsd = 0.0027432 cigsd = 0.002
+nigc = 1             poxedge = 1        pigcd = 1          ntox = 1
+xrcrg1 = 12          xrcrg2 = 5
```

```
+cgso = 8.5e-011      cgdo = 8.5e-011     cgbo = 2.56e-011   cgdl = 2.653e-010
+cgsl = 2.653e-010    ckappas = 0.03      ckappad = 0.03     acde = 1
+moin = 15            noff = 0.9          voffcv = 0.02
```

```
+kt1 = -0.11          kt11 = 0            kt2 = 0.022        ute = -1.5
+ua1 = 4.31e-009      ub1 = 7.61e-018     uc1 = -5.6e-011    prt = 0
+at = 33000
```

```
+eigbinv = 1.1        nigbinv = 3          aigc = 0.020014    bigc = 0.0027432
+cigc = 0.002         aigsd = 0.020014   bigsd = 0.0027432 cigsd = 0.002
+nigc = 1             poxedge = 1        pigcd = 1          ntox = 1
+xrcrg1 = 12          xrcrg2 = 5
```

```
+fnoimod = 1          tnoimod = 0
```

```
+jss = 0.0001         jsws = 1e-011       jsd = 1e-011       njs = 1
+ijthsfdw = 0.01      ijthsrev = 0.001    ijthdrev = 0.001   xjbvs = 1
+jsd = 0.0001         cjs = 0.0005        mjs = 0.5          njd = 1
+ijthdfwd = 0.01      mjsws = 0.33        pbsws = 1          xjbvd = 1
+pbs = 1              pbswgs = 1          cjswgs = 3e-010    pbsws = 1
+cjsws = 5e-010       pbd = 1             mjd = 0.5          pbswgd = 1
+mjswgs = 0.33        cjswd = 5e-010      tcj = 0.001        tcjswg = 0.001
+pbswd = 1            mjswd = 0.33        tpbsw = 0.005      tpbswg = 0.005
+cjswd = 5e-010       tcjsw = 0.001       xtis = 3           xtid = 3
+tpbsw = 0.005
```

```
+rshg = 0.4           gbmin = 1e-010      rbpb = 5           rbpd = 15
+rbps = 15            rbdb = 15           rbsb = 15          ngcon = 1
+beta0 = 30          agidl = 0.0002      bgidl = 2.1e+009   cgidl = 0.0002
+egidl = 0.8         aigbacc = 0.012     bigbacc = 0.0028   cigbacc = 0.002
+nigbacc = 1         aigbinv = 0.014     bigbinv = 0.004    cigbinv = 0.004
+beta0 = 30          agidl = 0.0002      bgidl = 2.1e+009   cgidl = 0.0002
```

+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd= 0.01	ijthsrev= 0.001	bvs = 10	xjbvs = 1
+jssd = 0.0001	jssd = 1e-011	jssgd = 1e-010	njd = 1
+ijthdfwd= 0.01	ijthdrev= 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 3e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswgd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0	dmci = 0	dmdg = 0	dmcgt = 0
+dwj = 0	xgw = 0	xgl = 0	

APÊNDICE B – *NETLIST SPICE* de um Flip-Flop D

A seguir temos a *Netlist SPICE* do Flip-Flop tipo D, na configuração *Master-Slave*, sensível a borda de subida, que foi visto de forma resumida na figura [16](#).

NetList B.1 – Simulação do Flip-Flop D MS sensível a borda de subida.

```

1* Simulacao FLIP-FLOP D
2*****
3* Inclusao do modelo
4*****
5 .include 32_HP.mod
6 *****
7* Declaracao das fontes
8*****
9      VDD  vdd gnd 0.9
10     VCLK clk gnd pulse (0 0.9 250p 10p 10p 240p 500p)
11     VD   D   gnd pulse (0 0.9 350p 10p 10p 990p 2n)
12*****
13* Circuito Latch D Sensivel ao nivel baixo (-)
14*****
15* Inversor D-N2
16     MpMOS1 vdd D      N2      vdd PMOS w=200n l=32n
17     MnMOS1 gnd D      N2      gnd NMOS w=100n l=32n
18
19*transmission gate N2-N3
20     MpMOS2 N2  CLK    N3      vdd PMOS w=200n l=32n
21     MnMOS2 N2  N1     N3      gnd NMOS w=100n l=32n
22
23*transmission gate N7-N3
24     MpMOS7 N7  N1     N3      vdd PMOS w=200n l=32n
25     MnMOS7 N7  CLK    N3      gnd NMOS w=100n l=32n
26
27* Inversor N3-N4
28     MpMOS3 vdd N3     N4      vdd PMOS w=200n l=32n

```

```

29      MnMOS3 gnd  N3      N4      gnd NMOS w=100n l=32n
30
31*Inversor N4–N7
32      MpMOS8 vdd  N4      N7      vdd PMOS w=200n l=32n
33      MnMOS8 gnd  N4      N7      gnd NMOS w=100n l=32n
34
35*****
36*transmission gate N4–N5
37*****
38      MpMOS4  N4      N1      N5  vdd PMOS w=200n l=32n
39      MnMOS4  N4      CLK    N5  gnd NMOS w=100n l=32n
40
41*****
42*Circuito Latch D Sensível ao nível alto (+)
43*****
44*transmission gate N8–N5
45      MpMOS9  N8      CLK    N5  vdd PMOS w=200n l=32n
46      MnMOS9  N8      N1      N5  gnd NMOS w=100n l=32n
47
48*Inversor N5–N6
49      MpMOS5  vdd  N5      N6  vdd PMOS w=200n l=32n
50      MnMOS5  gnd  N5      N6  gnd NMOS w=100n l=32n
51
52*Inversor N6–N8
53      MpMOS10 vdd  N6      N8  vdd PMOS w=200n l=32n
54      MnMOS10 gnd  N6      N8  gnd NMOS w=100n l=32n
55
56*****
57*Inversor clock
58*****
59      MpMOS0  vdd  CLK    N1  vdd PMOS w=200n l=32n
60      MnMOS0  gnd  CLK    N1  gnd NMOS w=100n l=32n
61
62*****
63*PARAMETROS
64*****
65      .tran 0.1ps 6ns
66      .control
67      run

```

```
68      set    xbrushwidth=4
69      plot  clk+9 N1+8 D+7 N2+6 N3+5 N4+4 N5+3 N6+2 N7+1 N8
70      .endc
71.end
```

Na *NetList* pode-se observar o modelo do FFDMS CMOS, de modo a apresentar os inversores e os *transmission gates*, utilizados para formar os modelos a partir do latch sensível ao nível baixo, representado da linha 13 a linha 33 e do latch sensível ao nível alto, que aparece da linha 36 a linha 54.

APÊNDICE C – Figuras dos Inversores e Transmission Gates criadas para identificar as junções PN sensíveis

Para cada vetor de entrada, ou seja Clock e Dados, respectivamente, é gerado um grupo de imagens que auxiliam na identificação dos pontos de sensibilidade.

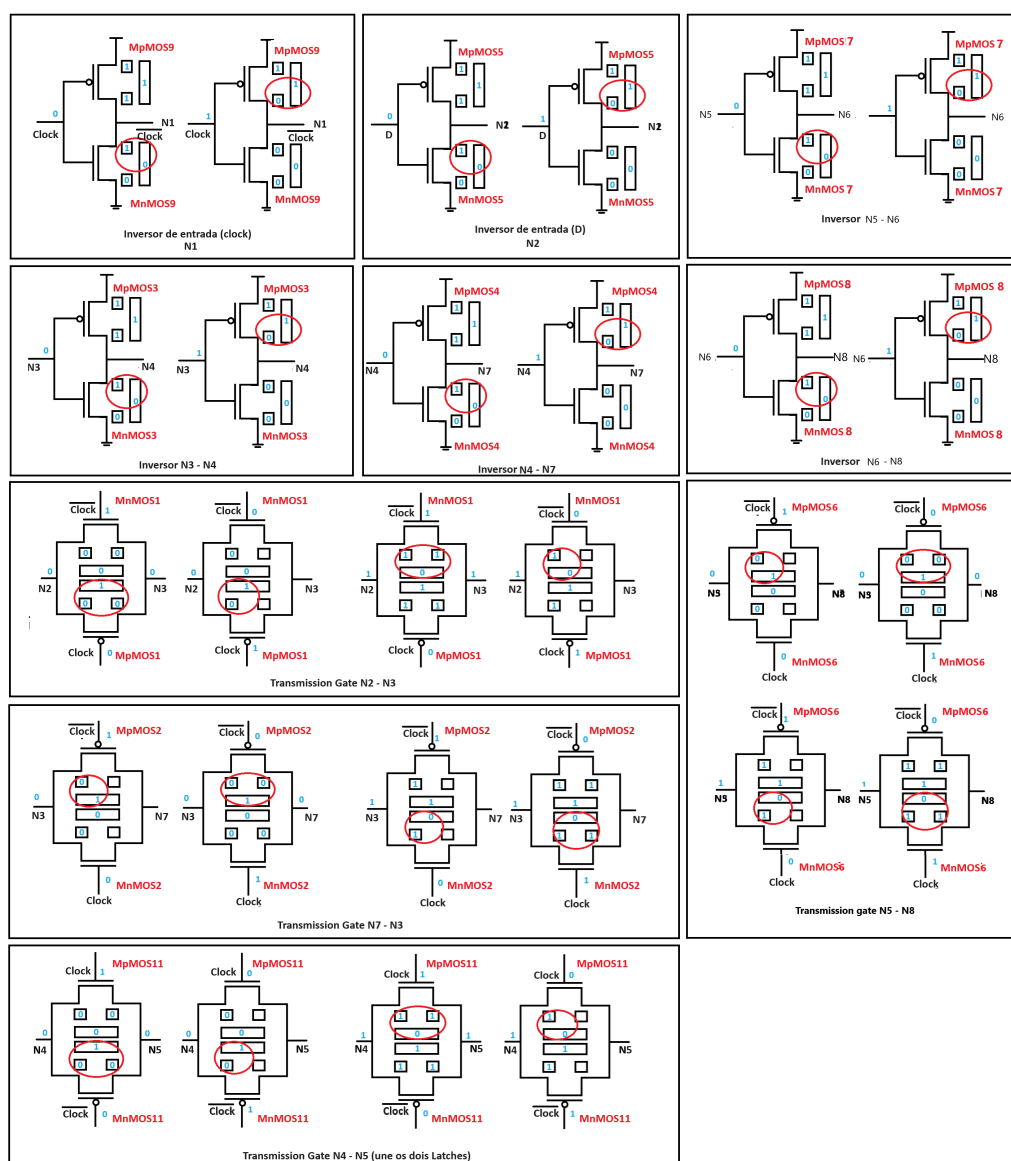


Figura 87 – Figura completa dos vetores (sinais aplicados e suas derivações), nós e nodos sensíveis do Flip-Flop estudado.